

# Razvoj ispitnog okruženja za validaciju sustava-na-čipu temeljenog na RISC-V jezgri

---

Križan, Mislav

Master's thesis / Diplomski rad

2024

Degree Grantor / Ustanova koja je dodijelila akademski / stručni stupanj: **University of Zagreb, Faculty of Electrical Engineering and Computing / Sveučilište u Zagrebu, Fakultet elektrotehnike i računarstva**

Permanent link / Trajna poveznica: <https://urn.nsk.hr/urn:nbn:hr:168:728880>

Rights / Prava: [In copyright](#)/[Zaštićeno autorskim pravom.](#)

Download date / Datum preuzimanja: **2025-04-01**



Repository / Repozitorij:

[FER Repository - University of Zagreb Faculty of Electrical Engineering and Computing repository](#)



SVEUČILIŠTE U ZAGREBU  
FAKULTET ELEKTROTEHNIKE I RAČUNARSTVA

DIPLOMSKI RAD br. 115

**RAZVOJ ISPITNOG OKRUŽENJA ZA VALIDACIJU  
SUSTAVA-NA-ČIPU TEMELJENOG NA RISC-V JEZGRI**

Mislav Križan

Zagreb, lipanj 2024.

SVEUČILIŠTE U ZAGREBU  
FAKULTET ELEKTROTEHNIKE I RAČUNARSTVA

DIPLOMSKI RAD br. 115

**RAZVOJ ISPITNOG OKRUŽENJA ZA VALIDACIJU  
SUSTAVA-NA-ČIPU TEMELJENOG NA RISC-V JEZGRI**

Mislav Križan

Zagreb, lipanj 2024.

## DIPLOMSKI ZADATAK br. 115

Pristupnik: **Mislav Križan (0036527645)**  
Studij: Elektrotehnika i informacijska tehnologija  
Profil: Elektronika  
Mentor: izv. prof. dr. sc. Vladimir Čeperić  
Komentor: dr. sc. Jurica Kandrata

Zadatak: **Razvoj ispitnog okruženja za validaciju sustava-na-čipu temeljenog na RISC-V jezgri**

### Opis zadatka:

Integrirani sustavi, odnosno sustavi-na-čipu su sveprisutni i vrlo važni u današnjem tehnološkom svijetu, a iscrpno ispitivanje takvih komponenti je ključno. Sustavi-na-čipu (SoC) bazirani na RISC-V jezgri su relativno novi, ali već nalaze primjenu u širokom spektru uređaja od mikrokontrolera do složenih računalnih sustava što naglašava potrebu za efikasnim metodama verifikacije i testiranja. Dizajnirajte tiskanu pločicu za ispitivanje sustava-na-čipu koji je baziran na RISC-V jezgri. Razvijte mjerno okruženje i ispitnu metodologiju za detaljno ispitivanje funkcionalnosti i performansi čipa. Kreirajte detaljne ispitne scenarije koji će pokriti sve ključne aspekte sustava i time sveobuhvatno validirati performanse čipa u različitim uvjetima rada.

Rok za predaju rada: 28. lipnja 2024.

Zahvala

## Sadržaj

Uvod .....	1
1. Arhitektura sustava na čipu .....	3
1.1. Pregled sustava .....	3
1.2. Integrirani Sigma-Delta ADC.....	4
2. Električna shema tiskane pločice.....	7
2.1. Pregled električne sheme .....	7
2.2. Izvedba napajanja .....	12
2.3. Serijska komunikacija putem USB-a.....	15
2.4. Sigma-Delta analogno sklopovlje.....	16
2.5. Serijsko programiranje <i>flash</i> čipova .....	19
2.6. Sklopovlje za resetiranje sustava .....	20
3. Dizajn tiskane pločice.....	22
3.1. Pregled standardnih postupaka dizajniranja .....	22
3.2. Orijehtacija i podjela po slojevima.....	23
3.3. Pregled završenog dizajna .....	26
4. Testiranje sustava na čipu.....	30
4.1. Testno okruženje.....	31
4.2. Pregled rezultata testiranja.....	31
Zaključak .....	33
Literatura .....	34
Sažetak.....	36
Summary.....	37
Skraćenice.....	38
Privitak .....	39

# Uvod

Sredinom 20. stoljeća, 1959. godine, dizajniran je prvi integrirani krug na siliciju, a već 1974. prvi sustav na čipu (*system on chip, SoC*). Težnja da se električne komponente integriraju u jedno kućište potaknuta je željom za što veću frekvenciju signala takta koju je nemoguće postići ako sustav komunicira na tiskanoj pločici (*printed circuit board, PCB*) zbog problema poput prilagodbe linija, disperzivnosti materijala i slično.

RISC-V je skup procesorskih instrukcija dizajniran na Sveučilištu u Berkeley-u s ciljem da se maksimalno pojednostave sve naredbe i da skup naredaba bude što kompaktniji. Manji skup naredbi, jednostavnije adresiranje i jednostavne operacije omogućuju manje i efikasnije procesore.

RISC-V procesori najviše pronalaze svoju ulogu kao sekundarni procesori koji rasterete primarni procesor u nekom sustavu, te u digitalnoj obradi podataka senzora. Zbog visokog stupnja efikasnosti, nižih performansi i besplatnog licenciranja vrlo su popularni za te uloge, te su jedna od glavnih alternativa ARM-u. Pico RISC-V procesorska jezgra centralna je komponenta sustava na čipu koji se testira u ovom radu i posebno je optimiziran za što manju potrošnju i površinu [1]. Sustav na čipu koji ovaj rad testira dizajniran je kao sekundarni procesor na koji se spaja senzorski sustav ili senzor sa sporijim promjenama signala.

Sustav na čipu prolazi velik broj testiranja u ciklusu dizajniranja:

- test ponašajnog modela (*behavioral testbench*)
- FPGA testiranje
- testiranje kroz koraka digitalne sinteze i fizičke implementacije

Svrha ovih testiranja je zamišljeno ponašanje zadržati u koracima dizajniranja, te ponašanja kada postoje kašnjenja zbog propagacije signala s FPGA pločicom. Konačno testiranje izvršava se nakon proizvodnje čipova (*post silicon verification*) kako bi se provjerila ispravnost, zbog određenog broja defekata, a i kako bi se provjerio dizajn. Ovisno o resursima testiranje čipova može se raditi na prototipnim pločicama (*breadboard*) ili na dizajniranim tiskanim pločicama koje onda čine referentni dizajn sustava.

Dizajniranje tiskane pločice vremenski je duže i znatno skuplje, ali su testovi pouzdaniji i moguće je provesti kompleksnije testove za razliku od prototipne pločice. Općeniti koraci u dizajniranju bilo koje tiskane pločice uključuju odabir komponenata ovisno o cijeni i dostupnosti, sintezi električne sheme, povezivanju komponenata s površinskim modelima (*footprint*) i povezivanju komponenata tiskanim vodovima. Napredniji dizajn može uključivati i dodatne korake koji provjeravaju kritične signale ili odvod topline.

Testna pločica za RISC-V sustav na čipu mora sadržavati sljedeću funkcionalnost:

- omogućiti napajanje svih komponenata
- omogućiti serijsku komunikaciju s računalom
- omogućiti analogno-digitalnu pretvorbu signala
- omogućiti programiranje Flash čipova
- omogućiti pristup signalima čipa
- realizirati sklop za resetiranje

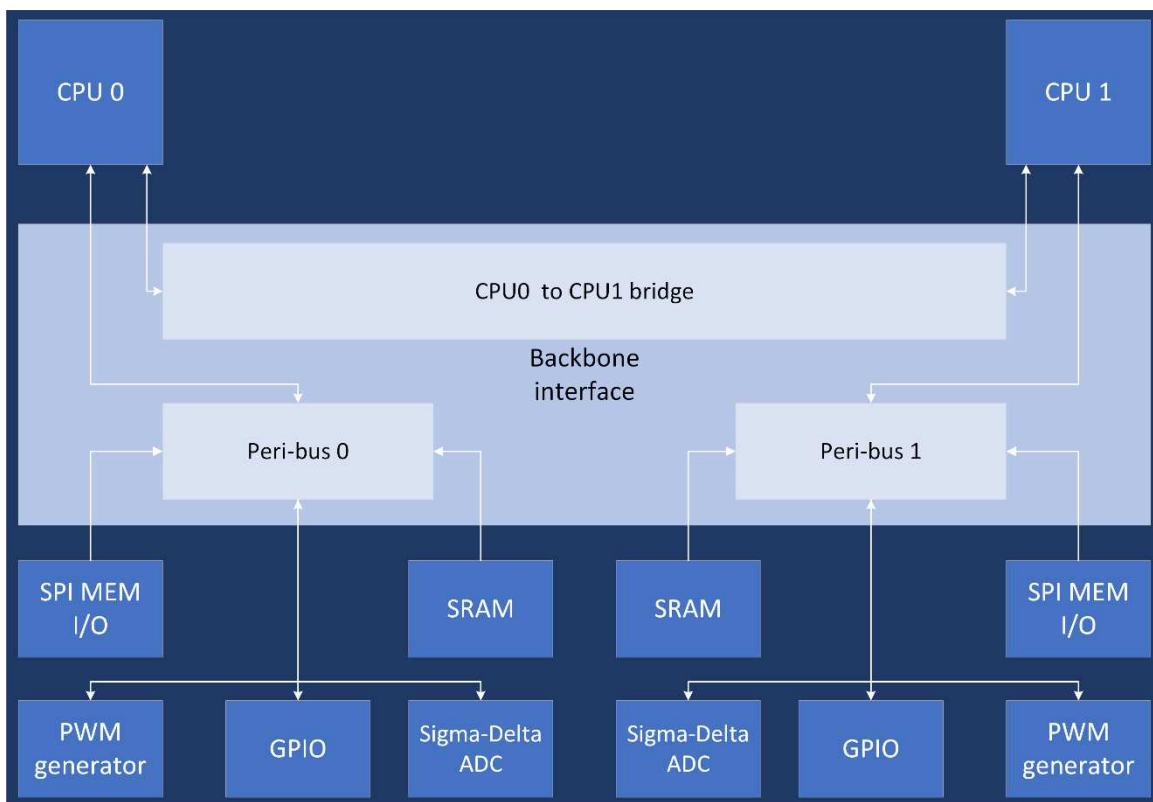
Završena tiskana pločica poslužit će kao baza testnog okruženja i omogućit će provjeru funkcionalnosti čipa.



# 1. Arhitektura sustava na čipu

## 1.1. Pregled sustava

Na slici 1 nalazi se blok shema sustava na čipu.



Slika 1 Blok shema sustava na čipu.

Sustav na čipu je dizajniran oko dvije 32-bitne Pico RISC-V procesorske jezgre, na slici 1 *CPU 0,1*. Dizajn sustava je simetričan i obje jezgre imaju sve periferne sklopove, ali uloge procesorskih jezgara nisu jednake. Procesor nula provodi serijsku komunikaciju s računalom, odnosno u nekom ugradbenom sustavu prema primarnom procesoru. Procesor jedan kontrolira ulazno-izlazne sklopove koji su spojeni preko periferne sabirnice, *Peri-bus 1*. Sabirnički sklop, *Backbone interface*, sadrži još i most između procesorskih jezgara i perifernu sabirnicu za procesor nula.

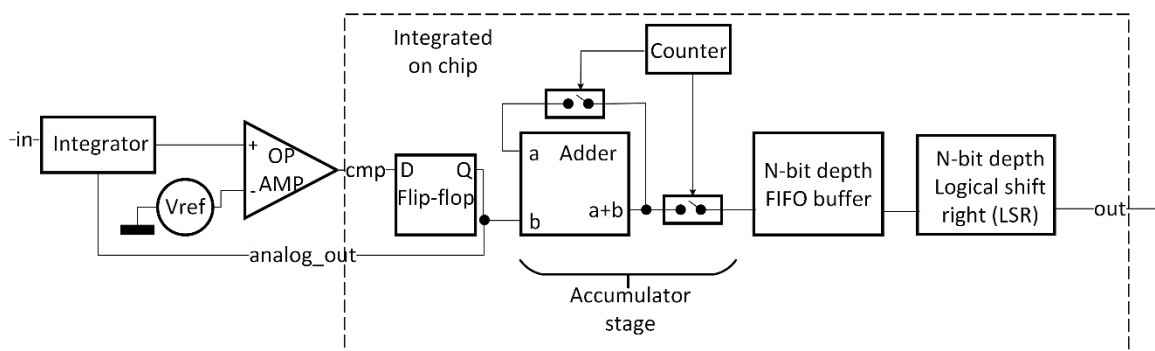
Periferna sabirnica povezuje procesorsku jezgru s ulazno-izlaznim sklopovima i s memorijskim sustavom. Procesorske jezgre imaju konačan broj registara, a za izvođenje programskog koda potrebna je radna memorija odnosno SRAM ćelija. *SPI MEM I/O* blok je sučelje prema *flash* čipu koji sadrži programski kod i omogućuje serijsko sučelje s četiri podatkovne linije (*quad SPI*) za brže čitanje vanjske *flash* memorije. Opći ulazno-izlazni sklop, *GPIO*, standardni je sklop u svim ugradbenim sustavima jer dozvoljava naknadno izmjenjivanje priključaka, a općenito je koristan prilikom testiranja ugradbenih sustava. *GPIO* sadrži nekoliko funkcija:

- Serijska komunikacije, *UART*
- Širinsko-impulsni generator signala, *PWM generator*, koji je izdvojen kao poseban blok u dijagramu
- Općenamjenske *pin-ove* za ulaz ili izlaz

Ako je potrebno više-žično sučelje za komunikaciju s nekim senzorom, moguće je isključiti alternativne funkcije poput serijske komunikacije. Za spajanje analognih signala sustav na čipu ima integriran Sigma-Delta analogno-digitalni pretvornik (*analog to digital converter, ADC*).

## 1.2. Integrirani Sigma-Delta ADC

Na slici 2 nalazi se blok shema Sigma-Delta ADC-a.



Slika 2 Blok shema Sigma-Delta ADC-a.

Integracija Sigma-Delta ADC-a na sustav na čipu može biti zahtjevan proces jer je potrebno integrirati komparator i analogni filter ili integrator, ovisno o izvedbi, s preostalim digitalnim čipom. Interakcija brzih pravokutnih signala s analognim sklopovima je vrlo komplicirana za simuliranje i znatno otežava realizaciju sustava. Kako bi se izbjegle komplicirane simulacije sustava mješovitih signala, na čip je integriran samo digitalni dio Sigma-Delta ADC-a i vidi se na slici 2:

- Element za uzorkovanje, odnosno bistabil
- Akumulator, odnosno zbrajalo s brojiлом i povratnom vezom
- Digitalni filter, odnosno *FIFO* spremnik i sklop za logički pomak

Sigma-Delta ADC integriran na čipu ima tipičan dizajn prvog reda [14]. Ulazni signal se zbraja s prethodnim uzorkom i rezultat se integrira. Komparator daje jednobitni podatak ovisno o usporedbi rezultatu integracije i referentnog napona. Izlaz komparatora se uzorkuje znatno većom frekvencijom od dvostruke maksimalne frekvencije signala (*oversampling*) i šalje se povratnom vezom na ulaz. Uzorkovani signal ide u akumulator, odnosno zbrajalo upravljano brojiлом. Akumulirani podatak putuje u digitalni filter, odnosno u *FIFO* spremnik koji s logičkim pomakom izvodi usrednjavanje s pomakom (*moving average*).

Sigma-Delta ADC integriran u sustav na čipu je intelektualno vlasništvo proizvođača Lattice Semiconductor i sadrži nekoliko važnih informacija za integraciju u vlastiti sustav u svojoj dokumentaciji [2]:

- Referentni dizajn koji cilja 8-bitnu razlučivost ima i frekvenciju uzorkovanja 62,5 MHz
- Jednadžbe za određivanje točke referentnog potencijala komparatora ovisno o naponu napajanja i amplitudi napona signala
- Preciznost ADC-a u ovisnosti o tolerancijama ostalih dijelova sustava

Na ulaz integratora signalni vod i povratna veza (*analog compare* žica) imaju spojene serijske otpornike koji su definirani prema izrazu (1).

$$\frac{V_{signal}}{V_{CC}} = \frac{R_2}{R_1} \quad (1)$$

$$V_{REF} = V_{signal,max} \times \frac{R_2}{R_1+R_2} \quad (2)$$

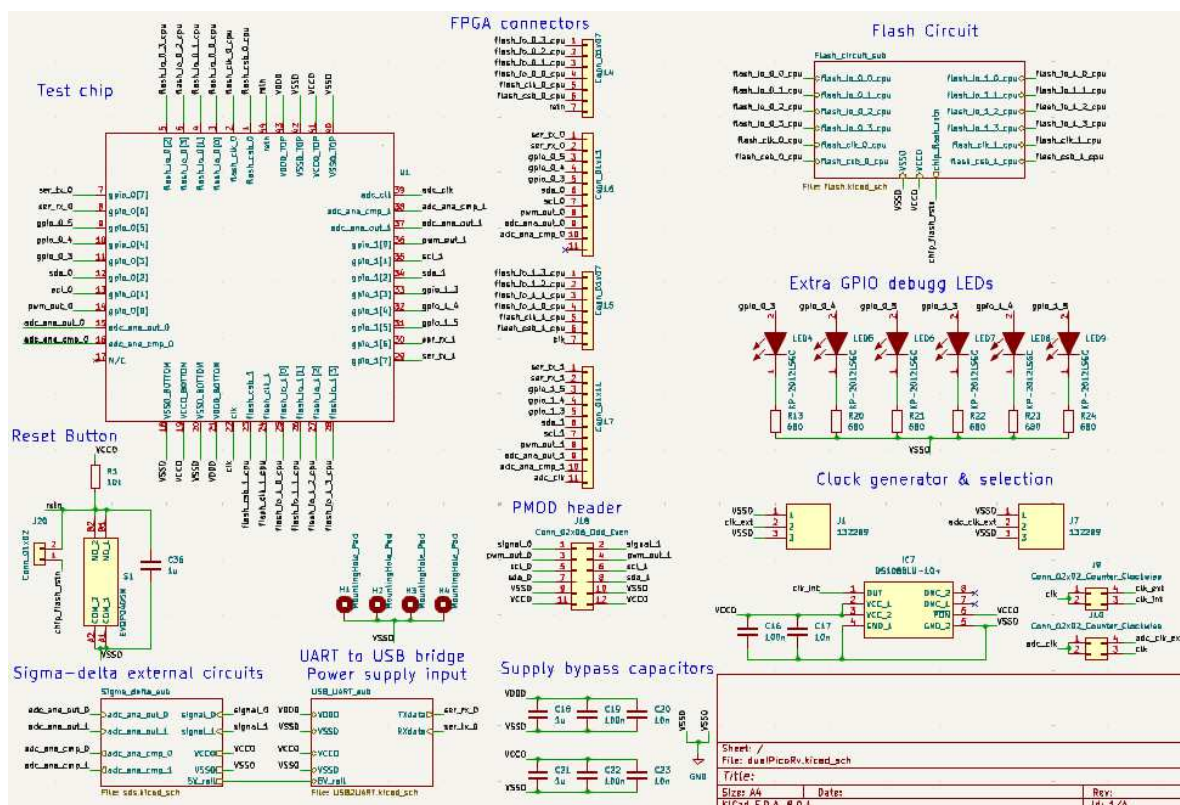
Referentni potencijal komparatora ovisi o omjeru izraza (1) i rasponu ulaznog signala. Određivanje referentnog potencijala radi se prema izrazu (2). Dokumentacija proizvođača navodi kako je maksimalna preciznost ADC-a 6,6 bita, pod pretpostavkom da je tolerancija referentnog potencijala i izvora napajanja  $\pm 1 \%$ . U slučaju da su tolerancije veće, 5 % za izvor napajanja i referentni potencijal, znatno se smanjuje maksimalna preciznost na 4,3 bita. Iznosi maksimalne preciznosti su naravno samo ekvivalenti  $2^{-N}$ , odnosno  $2^{-6,6} = 0,0103\dots$ , što nam govori koliko maksimalna preciznost pretvorbe ovisi o tolerancijama u električnom krugu. Kako bi se postigla što veća preciznost, potrebno je koristiti stabilan izvor napajanja s ispravnom filtracijom prijelaznih pojava i realizirati izvor referentnog napona koji zadovoljava preciznost i stabilnost i uključuje temperaturnu kompenzaciju.

## 2. Električna shema tiskane pločice

### 2.1. Pregled električne sheme

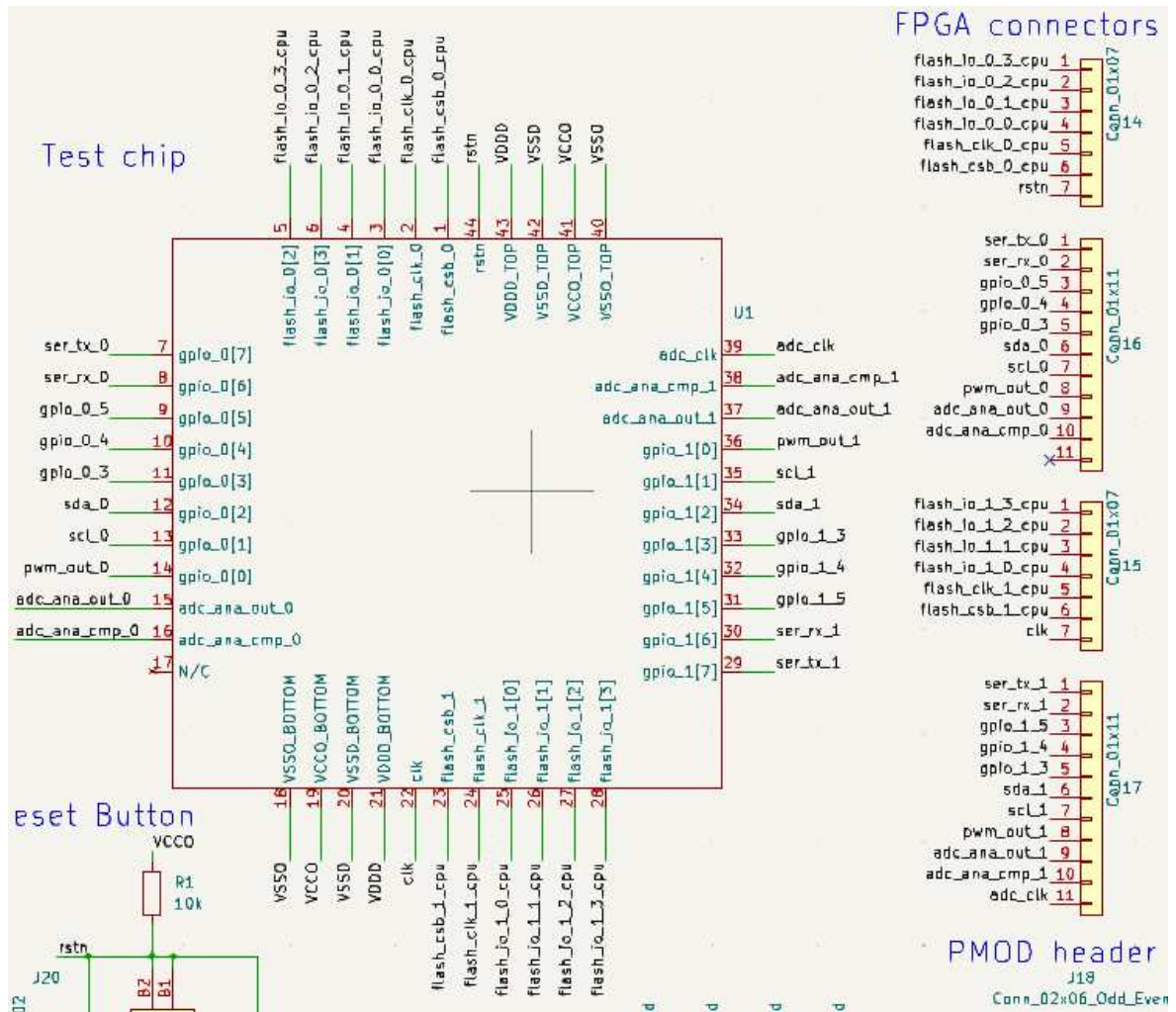
Kako bi se testirala funkcionalnost sustava na čipu, potrebno je omogućiti sljedeću funkcionalnost:

- Ispravno dovesti napajanje na sve integrirane sklopove
- Realizirati serijsku komunikaciju s računalom putem USB-a
- Realizirati analognu sklopovlje Sigma-Delta ADC-a
- Realizirati sklop za serijsko programiranje *flash* memorije
- Realizirati sklop koji resetira sustav
- Omogućiti spajanje na ulazno-izlazno sklopovlje



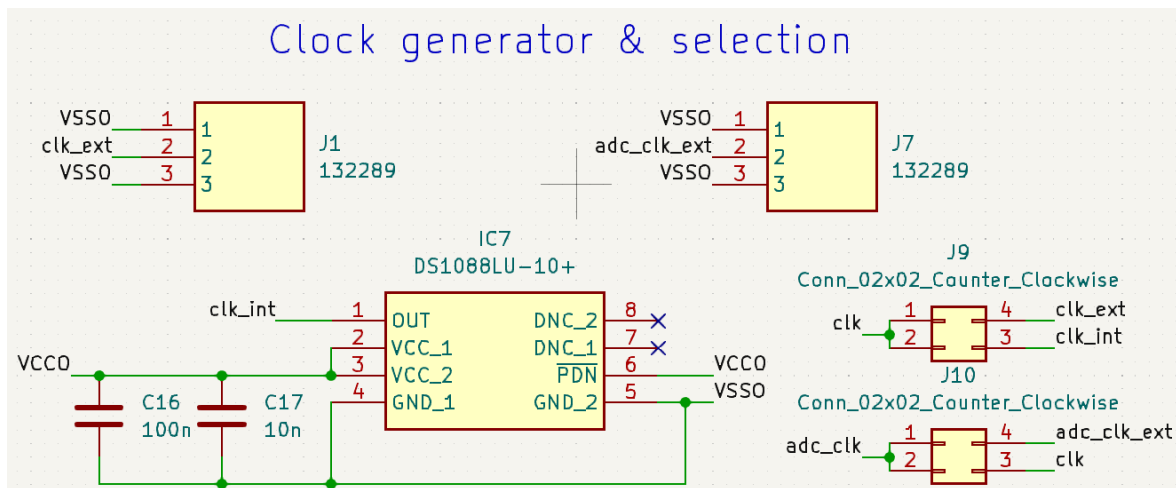
Slika 3 Električna shema tiskane pločice.

Na slici 3 nalazi se najviša razina hijerarhije električne sheme tiskane pločice. Osim izdvojene funkcionalnosti električna shema sadrži i druge elemente: 2,54 mm zaglavlja, sklop za generiranje signala takta, četiri točke za montažu, PMOD konektor (*socket*), kondenzatore za filtriranje napajanja prema čipu i šest dioda spojenih na *GPIO*.



Slika 4 Shema spajanja test čipa i FPGA zaglavlja.

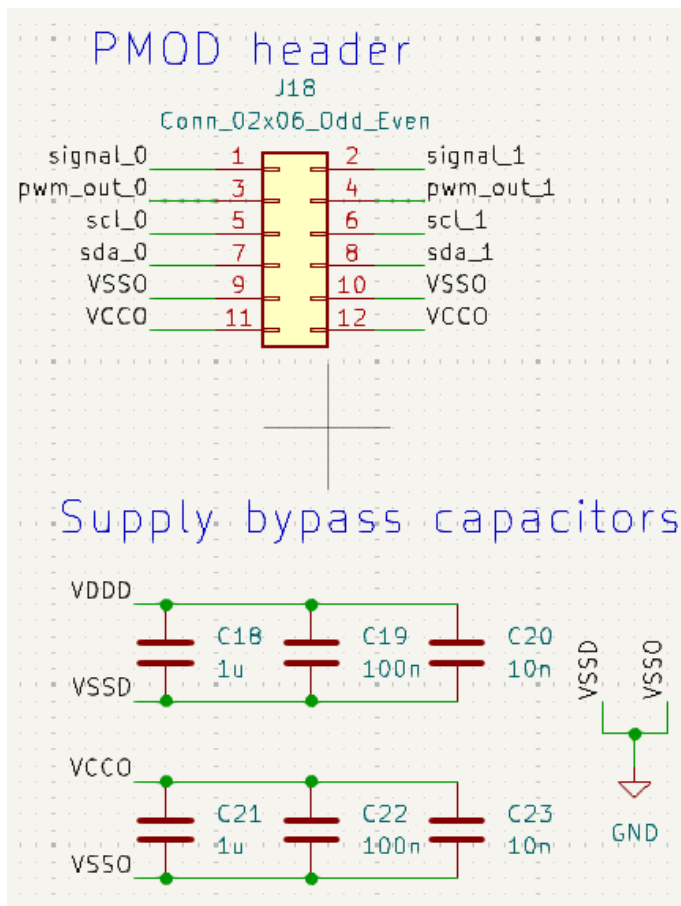
Na slici 4 nalazi se shema spajanja testnog čipa i FPGA zaglavlja. Zbog mogućeg kašnjenja u dostavi čipova, svi *pinovi* sustava na čipu spojeni su na 2,54 mm zaglavlje (*pin header*). Tijekom razvoja dizajna, izrađen je i FPGA prototip koji simulira ponašanje sustava na čipu. Zaglavlje omogućava spajanje tiskane pločice i FPGA prototipa kako bi se isprobala određena funkcionalnost, npr. serijske komunikacije ili SPI memorijskog sučelja.



Slika 5 Sklop za generiranje signala takta.

Na slici 5 nalazi se električna shema generatora signala takta. Sustav na čipu projektiran je za rad sa signalom takta frekvencije 10 MHz. Tipično testiranje digitalnih sklopova uključuje i signal takta varijabilne frekvencije u kojem se želi provjeriti maksimalna frekvencija na kojoj sklop može obavljati promjene logičkih stanja ispravno. Testna tiskana pločica ima dva SMA (*Subminiature version A*) konektora koji su prilagođeni za vođenje brzih signala s minimalnim refleksijama i gubicima. Signali koji se dovode izvana spojeni su na 2x2 2,54 mm *pinsko* zaglavlje kako bi se mogli kratko spojiti *pinovi* za interni ili eksterni signal takta. Kako je Sigma-Delta ADC projektiran za signal takta 62,5 MHz, signal takta koji se generira na pločici nije dovoljno brz. Signal takta s pločice je svejedno jedna od opcija koja se dovodi na Sigma-Delta ADC, ali isključivo za osnovnu provjeru ispravnosti.

Signal takta na testnoj pločici generira čip *DS1088* koji proizvodi Maxim Integrated [3]. *DS1088* namijenjen je za manje uređaje kojima su dovoljne frekvencije takta do 133 MHz. Čip dolazi s kalibriranom frekvencijom i potrebno je samo dodati kondenzatore s niskim ekvivalentnim serijskim otporom (*ESR*) u iznosu 100 nF i 10 nF u paralelnom spoju. Dokumentacija proizvođača garantira do  $\pm 1\%$  tolerancije ovisno o varijaciji temperature i napona napajanja što je dovoljno precizno. Sljedeći važan parametar čipa je vrijeme potrebno da se na izlazu pojavi signal takta i proizvođač navodi da je to maksimalnog iznosa  $t_{max} = 100 \mu s$ .

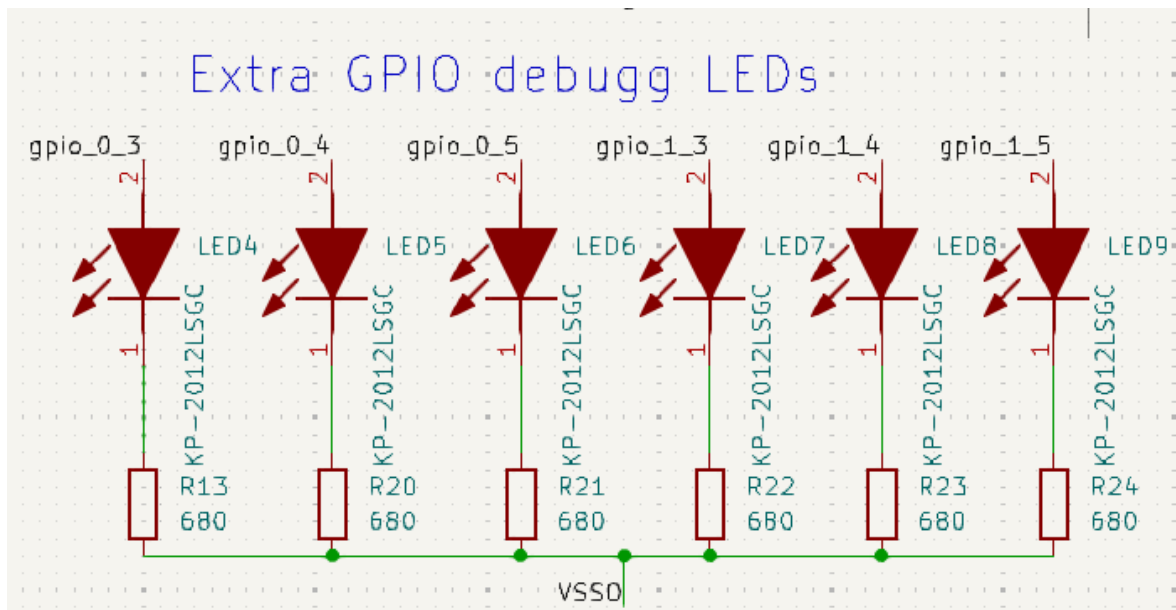


Slika 6 Shema spajanja PMOD konektora i napajanja testnog čipa.

Na slici 6 vidi se shema spajanja PMOD konektora i napajanja testnog čipa. PMOD konektor ima određen raspored za šest odnosno dvanaest *pinski* konektor [4]: četiri *pina* za komunikaciju, gdje je *pin* dva rezerviran za *PWM* generator, a *pinovi* pet za uzemljenje i šest za napajanje. Kako obje procesorske jezgre imaju spojen ulazno-izlazni sklop, dvostruki PMOD konektor je iskorišten kako bi se mogli provesti različiti testovi uz pomoć prototipne pločice ili gotovih PMOD pločica. PMOD konektor je spojen da analogni signal uvijek ide na *pin* jedan, *PWM* generator prema specifikaciji na *pin* dva i preostala dva *pina* su namijenjena za I2C komunikacijski standard.

Testni čip, kao što se vidi na slici 4, ima ukupno 8 *pinova* predviđenih za napajanje. Po dva *pina* za napajanje digitalne jezgre na 1,8 V i ulazno-izlaznih *padova* na 3,3 V. Na električnoj shemi dvostruki *pinovi* za napajanja kratko su spojeni, a između napajanja i uzemljenja su prema slici 6 spojeni kondenzatori za filtraciju napajanja. Kondenzatori ovisno o materijalu i kapacitetu imaju različite frekvencijske karakteristike i uobičajena je praksa raditi kompozitni kondenzator koji ima široki frekvencijski odziv. Testni čip nije sustav mješovitih signala i nije potrebno odvajati uzemljenje.



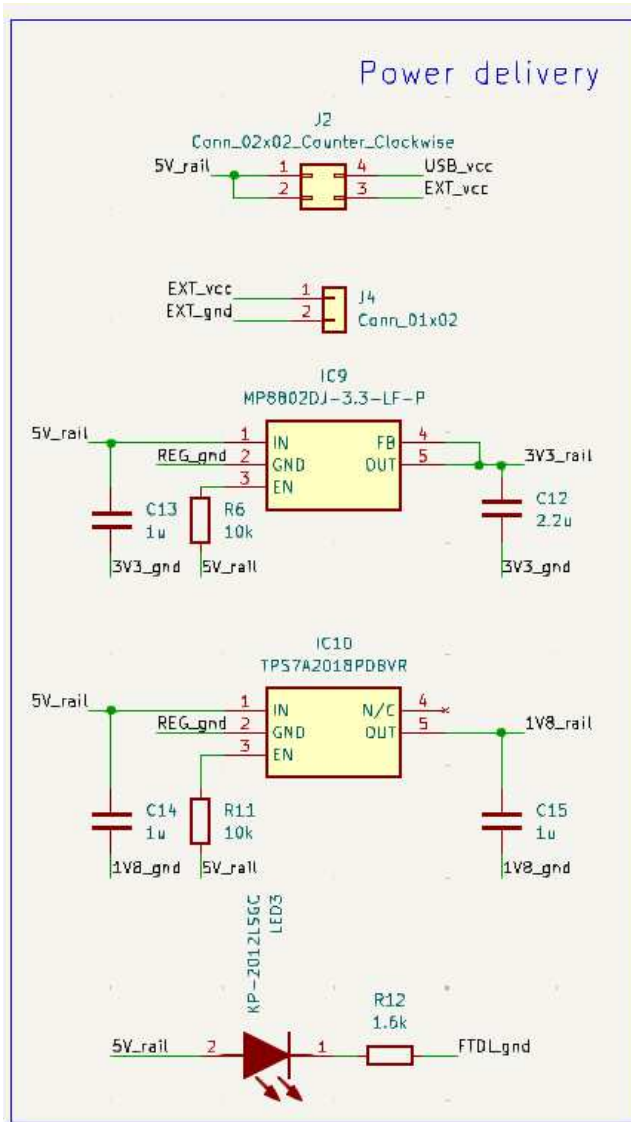


Slika 7 Shema spajanja LED dioda.

Na slici 7 može se vidjeti shema spajanja LED dioda na testni čip. Uobičajena je praksa u svaki ugradbeni sustav spojiti LED diode kao vizualni indikator koji se može uključiti u razne testove ispravnosti. Izabrane su zelene diode s niskom potrošnjom snage proizvođača Kingbright [5]. Napon koljena  $V_F$  iznosi tipično 1,9 V, struja diode iznosi 2 mA. Za ograničavanje struje i postavljanje radne točke koristi se otpornik iznosa 680 Ω koji je najbliži idealnoj vrijednosti od 700 Ω, a da je otpornik iz E12 ljestvice. Iznos od 700 Ω dobiven je standardnom formulom  $\frac{V_{GPIO}-V_F}{I_D}$ .

## 2.2. Izvedba napajanja

Sustav na čipu dizajniran je kako bi imao što manju potrošnju snage. Prikladan slučaj korištenja je uređaj koji se napaja iz USB standarda. Mikro-USB standard ima napon napajanja 5 V i maksimalnu struju do 500 mA.



Slika 8 Električna shema napajanja.

Na slici 8 nalazi se slika električne sheme napajanja. Za napajanje putem USB-a nije potrebno raditi DC-DC konverziju, nego samo spojiti 5 V napajanje na linearne regulatore. Kao i za generatore signala takta, predviđeno je 2x2 *pinsko* zaglavljje za odabir internog ili vanjskog napajanja. Na izvor napajanja spojena je LED dioda kao indikator ispravnosti.

Oba regulatora imaju referentnu shemu koja je vrlo slična i vidi se na slici 8. Na ulaz potrebno je spojiti kondenzator kapaciteta 1  $\mu\text{F}$  za stabilizaciju napona, a na izlaz potrebno je spojiti kondenzator za stabilizaciju izlaznog napona i oba regulatora imaju *pin* za paljenje/gašenje kako bi se štedjela energija, te su oba trajno pritegnuta na napon napajanja uz pomoć *pull-up* otpornika.

Za regulator napona 3,3 V koji koristi većina integriranih sklopova na testnoj pločici, odabran je čip *MPS8802* koji ima nekoliko važnih karakteristika. Prema dokumentaciji proizvođača [6], preciznost napona je unutar  $\pm 2\%$ , a maksimalna struja regulatora je 250 mA. Za regulaciju napona napajanja 1,8 V odabran je čip *TPS7A20* zbog dostupnosti i niske cijene. Regulator 1,8 V napaja isključivo testni čip, te je važna samo preciznost izlaznog napona za koji proizvođač garantira [7] da se nalazi unutar  $\pm 2\%$ .

Komponenta	Napon napajanja	Tipična struja	Maksimalna struja	Maksimalna snaga	Zajednički (maksimalni) doprinos
Test čip, I/O	3,3 V	< 100 $\mu\text{A}$	100 $\mu\text{A}$	0,33 mW	0,33 mW
Test čip, jezgra	1,8 V	< 100 $\mu\text{A}$	100 $\mu\text{A}$	0,18 mW	0,18 mW
Flash čip	3,3 V	< 16 mA	100 mA	330 mW	660 mW
Generator takta	3,3 V	< 15 mA	24 mA	79,2 mW	79,2 mW
Operacijsko pojačalo	3,3 V	600 $\mu\text{A}$	850 $\mu\text{A}$	2,8 mW	11,2 mW
Komparator	5 V	40 $\mu\text{A}$	100 $\mu\text{A}$	0,5 mW	1 mW
LED diode	3,3 V	2 mA	2 mA	6,6 mW	52,8 mW
Multiplexer	3,3 V	0,04 $\mu\text{A}$	0,1 $\mu\text{A}$	1 $\mu\text{W}$	2 $\mu\text{W}$
FTDI čip	5 V	8 mA	8,3 mA	41,5 mW	41,5 mW

Tablica 1 Pregled potrošnje snage komponenata.

Tablica 1 daje pregled potrošnje snage komponenata, a posebno je izdvojen tipični i najgori slučaj, te ukupni doprinos potrošnji za komponente kojih se koristi više na tiskanoj pločici. Potrebno je zadovoljiti dva uvjeta kako bi tiskana pločica imala ispravno napajanje svih sklopova:

- Napajanje dolazi iz micro-USB standarda koji ima napon napajanja 5 V i maksimalnu struju 500 mA, te cijela pločica ne smije prijeći preko tog standarda da se ne ošteti uređaj iz kojeg dolazi napajanje (*host device*)
- Napajanje sklopova dolazi iz dva linearna regulatora za napone 3,3 V i 1,8 V i potrebno je osigurati da sklopovi ne prelaze maksimalnu količinu struje koju regulatori mogu dati

Prema tablici 1 vidimo kako je napon napajanja 1,8 V korišten isključivo za napajanje digitalne jezgre sustava na čipu, kako direktno na napon 5 V USB-a ide samo FTDI USB-UART čip, te komparatori zbog raspona ulaznog signala, a preostale komponente spojene su na napon napajanja 3,3 V.

Veliku potrošnju snage ima *flash* čip koji ovisno o uvjetima rada zahtjeva do 100 mA struje. Prema DC karakteristikama tehničke dokumentacije čipa [8] može se vidjeti kako je za frekvenciju 50 MHz i prijenos signala preko jedne podatkovne linije za vrijeme čitanja potrebno 16 mA struje, a za niže frekvencije potrebna je manja struja. Maksimalna potrošnja struje iznosa 100 mA događa se u uvjetima brisanja cijele *flash* memorije. Situacija u kojoj se piše ili briše čitava *flash* memorija radi se pojedinačno za svaki čip, ne istovremeno za oba i jasno je kako regulator napona 3,3 V to može napajati.

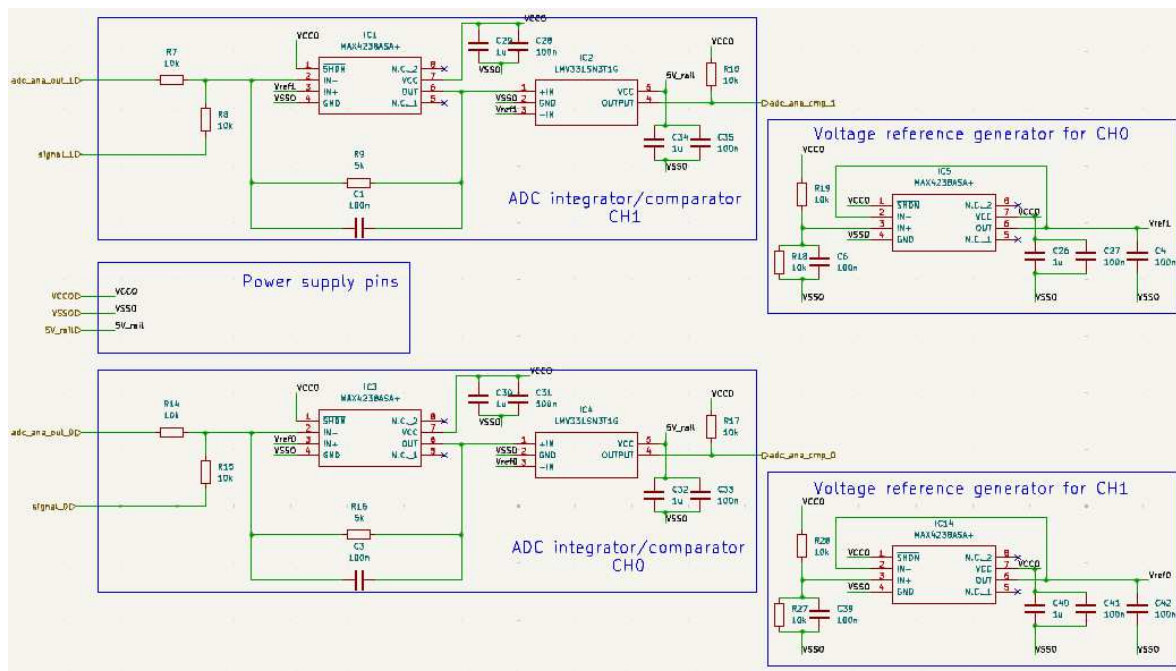
Prema tablici 1 vidimo kako relativno veliku potrošnju struje imaju još LED diode i generator signala takta, a preostale komponente imaju gotovo zanemariv doprinos za regulator napona napajanja 3,3 V. Regulator napona napajanja 3,3 V najviše je opterećen u slučaju da se piše/briše cijela *flash* memorija, te istovremeno napaja generator signala takta i LED diode. Za vrijeme programiranja *flash* memorije, sustav na čipu ima aktiviran signal *reset* koji osigurava da samo indikator napajanja može biti uključen i jasno je kako regulator napajanja 3,3 V može dati dovoljno snage za sve komponente. Struja potrebna generatoru signala takta u tehničkoj dokumentaciji [3] opisana je kao tipična pod uvjetom da je signal takta frekvencije 133 MHz, a testna pločica koristi takt frekvencije 10 MHz i struja napajanja sigurno je manja.



*FT230XS* ima integriran oscilator i regulator napona napajanja 3,3 V, te preostaje spojiti pasivne komponente prema tehničkoj dokumentaciji [9]. Električna shema na slici 9 vrlo je slična referentnom dizajnu koji se nalazi u tehničkoj dokumentaciji čipa. Dokumentacija predlaže spajanja feritne zavojnice i kondenzatora kao LC filtra, te spajanje kompozitnog kondenzatora blizu napajanja čipa, te se na interni regulator predlaže spajanje kondenzatora 100 nF. Referentni dizajn predlaže i spajanje LED dioda za praćenje komunikacije, te su iskorištene iste diode već spomenute u ovom poglavlju. Između podatkovnih linija USB-a i *FT230XS* čipa potrebno je spojiti RC filtar prema slici 9 kako bi se ograničio spektar signala. Na slici 9 odvojeno je uzemljenje kako bi se ostavila mogućnost odvajanja uzemljenja ako je potrebno smanjiti smetnje, a spojeno je na višoj razini hijerarhije.

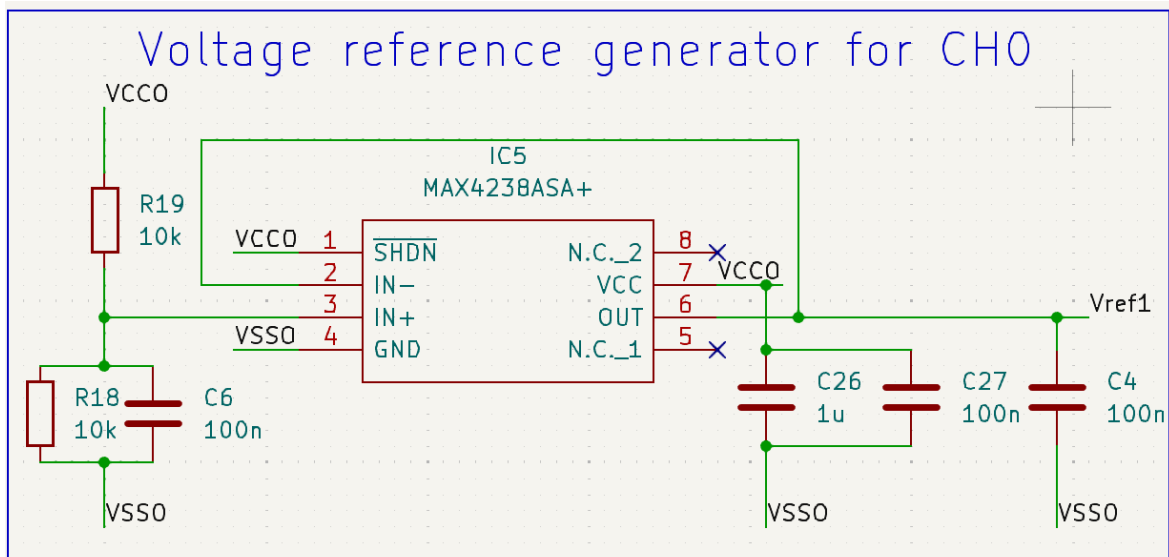
## 2.4. Sigma-Delta analogno sklopovlje

U poglavlju 1.2 već je spomenuto kako je integriran digitalni dio Sigma-Delta ADC-a, a ovo poglavlje opisuje analogni dio ADC-a na tiskanoj pločici. Slika 10 prikazuje cijelu električnu shemu analognih sklopova Sigma-Delta ADC-a.



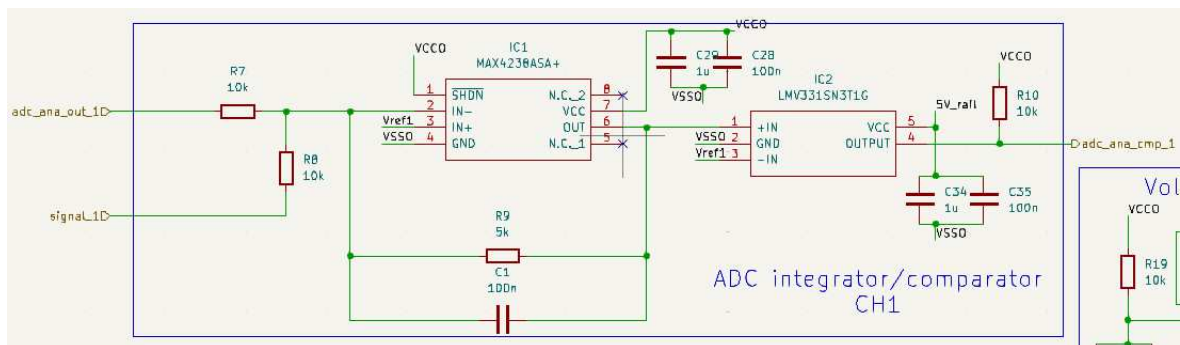
Slika 10 Električna shema analognih sklopova Sigma-Delta ADC-a.

Sustav na čipu ima dvije simetrične jezgre koje uključuju Sigma-Delta ADC. Moguće je spojiti samo jedan analogni sklop i multipleksirati signale, ali zbog niske cijene pojačala i komparatora spojena su dva sklopa označena kao *CH0,1*.



Slika 11 Električna shema izvora referentnog potencijala.

Na slici 11 nalazi se spoj referentnog potencijala. Prema izrazu (2) iz poglavlja 1.2, ako je raspon ulaznog signala 0 V do 3,3 V i otpornici su jednaki, referentni potencijal treba iznositi pola napona napajanja odnosno 1,65 V. Na pozitivnu stezaljku pojačala doveden je naponski djelitelj napona napajanja s dva jednaka otpornika. Pojačalo je u spoju slijedila kako bi referentni potencijal bio niskoimpedantni čvor i na izlaz je spojen kapacitivni teret 100 nF za stabilizaciju izlaza. Izvor napajanja ima pogrešku unutar  $\pm 2\%$  [6] i nema smisla realizirati izvor referentnog napona s višom preciznošću jer bi se samo povećala cijena testne pločice, bez utjecaja na preciznost ADC-a.



Slika 12 Spoj integratora i komparatora na ulazu Sigma-Delta ADC-a.

Prema izrazu (1) iz poglavlja 1.2 za signal amplitude jednake naponu napajanja potrebno je koristiti jednake otpornike za ulazni signal i povratnu vezu ADC-a. Vidimo na slici 12 kako je to zadovoljeno. Na ulaz integratora spojeni su referentni potencijal i zbroj ulaznog signala i signala povratne veze. Na slici 12 vidi se kako su na komparator i pojačalo spojeni kompozitni kondenzatori za filtraciju napajanja. U dokumentaciji komparatora *LMV331* [10] navedeno je kako je raspon signala na ulazu znatno manji od napona napajanja i kako bi se ispravno radila usporedba referentnog napona i izlaza komparatora važno je spojiti na komparator napon napajanja 5 V. Izlaz komparatora sadrži još *pull-up* otpornik prema naponu napajanja 3,3 V prema uputama u dokumentaciji.

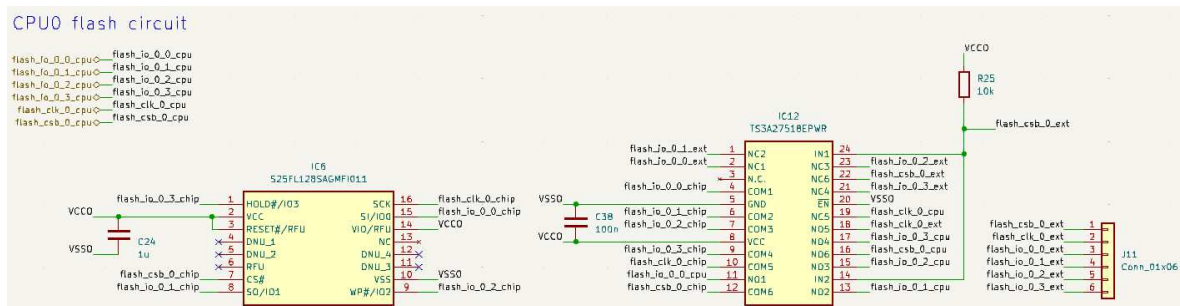
Operacijsko pojačalo izabrano za testnu pločicu je *MAX4238* zbog niskog šuma i napona pomaka, te male potrošnje snage [11]. Proizvođač garantira kako je pomak pojačala manji od 50  $\mu\text{V}$  i šum manji od 10  $\mu\text{V}_{\text{pp}}$ , a sve to uz struju napajanja manju od 600  $\mu\text{A}$ . Komparator *LMV331* izabran je kao preporučena komponenta u dokumentaciji Sigma-Delta ADC-a [2].

Pogreška referentnog potencijala ovisi o toleranciji otpornika za koje proizvođač garantira da su unutar  $\pm 0,01\%$  i imaju temperaturnu promjenu 25 ppm/K [12]. Tolerancija preciznosti otpora znači kako je najveće odstupanje 2  $\Omega$  u naponskom djelitelju, odnosno da je odstupanje napona otporničkog djelitelja  $\pm 100\ \mu\text{V}$ , a napon pomaka pojačala doprinosi  $\pm 50\ \mu\text{V}$  i šum 10  $\mu\text{V}_{\text{pp}}$ . Pod pretpostavkom da su odstupanja neovisna, očekujemo kako je napon referentnog potencijala jednak 1,65 V  $\pm 114\ \mu\text{V}$ . Ova mjera nesigurnosti je znatno manja od napona napajanja koja se nalazi u  $\pm 2\%$  i jasno je kako će preciznost ADC-a ovisiti isključivo o naponu napajanja. U ovom razmatranju zanemaren je doprinos promjene temperature, jer napon napajanja ima najveću pogrešku koja je nekoliko redova veličine veća od doprinosa promjene temperature.



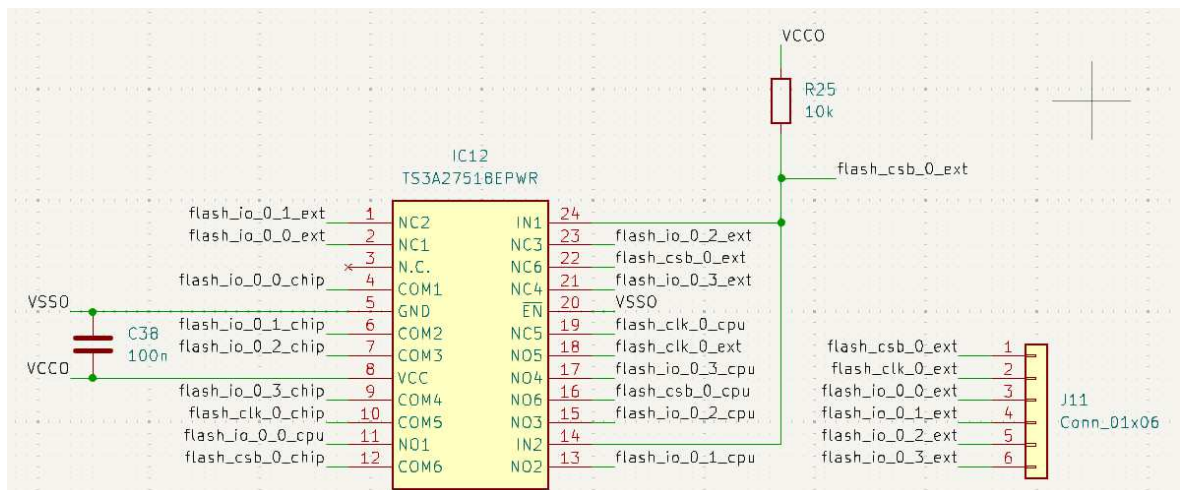
## 2.5. Serijsko programiranje *flash* čipova

Na slici 13 nalazi se električna shema serijskog programiranja *flash* čipa za procesor nula, a za procesor jedan spojena je potpuno identična shema. Sklop uključuje Infineonov *S25FL128S* *flash* čip, multiplekser 12 na 6 koji se upravlja *pull-up* otpornikom i *pinsko* zaglavlje.



Slika 13 Električna shema serijskog programiranja *flash* čipova.

Kao što je već prethodno spomenuto, *flash* čipovi sadrže programsku memoriju sustava na čipu. Odabir *flash* čipa ovisi o podršci za potrebne naredbe: sustav na čipu ima ugrađen mehanizam koji nakon pokretanja pokreće kao prvu naredbu heksadecimalni znak „0x03“ i odabrani *flash* čip ju mora interpretirati kao naredbu za čitanje s prve memorijske lokacije [8]. Kako bi se odabrani *flash* čip mogao integrirati na testnu pločicu, potrebno je obratiti pažnju i na ukupnu potrošnju snage prilikom čitanja podataka i da se čip može napajati regulatorom za napon napajanja 3,3 V ili 1,8 V.



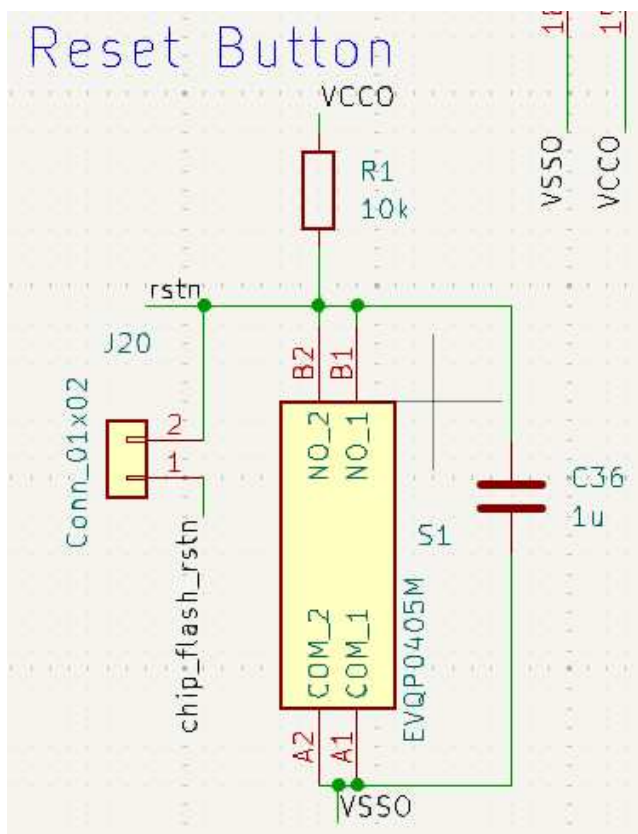
Slika 14 Shema spajanja multipleksera.

Na slici 14 može se vidjeti približena shema sa slike 13. Uloga multipleksera je odrediti smjer komunikacije *flash* čipova. Prema tehničkoj dokumentaciji za čip [15] *TS3A27518EPWR* *pinovi* *IN1* i *IN2* ovisno o stanju propuštaju *NC* ili *NO* kanal (*closed/open*). Cijela logička tablica nalazi se u dokumentaciji, a najvažnije za uočiti je kako kanal *NO* vodi ako su oba ulazna *pina* (*IN1,2*) postavljena u logičku jedinicu, odnosno da vodi kanal *NC* ako su oba ulazna *pina* postavljene u logičku nulu.

Na shemi sa slike 14 može se vidjeti kako je konektor za serijsko programiranje *flash* čipa spojen na *NC* kanal, a sustav na čipu spojen je na *NO* kanal. Uloga *pull-up* otpornika je postavljanje ulaznih *pinova* multipleksera na logičku jedinicu kao uobičajeno stanje. Spajanje na sučelje za programiranje i aktivacijom signala *flash\_csb\_0\_ext* logičkom nulom, jer *CS#* (*chip select*) *pin* aktivira se nisko, multiplekser preklapa na kanal *NC* i smjer podataka je prema *flash* čipu iz programatora.

## 2.6. Sklopovlje za resetiranje sustava

Na slici 15 nalazi se sklop za resetiranje sustava. Sklop se sastoji od *pull-up* otpornika, kondenzatora kapaciteta 1  $\mu$ F, mehaničke tipke i *pinskog* zaglavlja s dvije žice.



Slika 15 Električna shema sklopa za resetiranje sustava.

Sustav na čipu radi s *rstn* žicom koja se aktivira nisko, odnosno reset sustava se događa u trenutku kada se *rstn* spušta ispod praga okidanja jednak za nisku logičku razinu. Tipičan način realizacije sklopa za resetiranje je mehaničkom sklopkom ili tipkom, a u ovom slučaju potrebno je staviti *pull-up* otpornik linije *rstn* prema naponu napajanja. U slučaju da korisnik nije stisnuo tipku *rstn* je jednak naponu napajanja 3,3 V, a ako je pritisnuta tipka radi se kratki spoj prema uzemljenju koji spušta napon na 0 V. Vrijednost otpornika idealno je beskonačno velik da se maksimalno ograniči struja i pad napona.

Uloga kondenzatora je definiranje vremenske konstante s otpornikom i da vremenska konstanta iznosi više od potrebnog vremena koje treba čipu za generiranje signala takta. Potrebno je realizirati reset prilikom inicijalnog spajanja pločice na napajanje i kondenzator s otpornikom iznosa 10 k $\Omega$  postavlja jako veliku vremensku konstantu od 63 ms. *Pinsko* zaglavlje služi za odvajanje *chip\_flash\_rstn* linije i *rstn* linije kako bi se po želji mogao staviti kratkospojnik (*jumper*). Prilikom svakog pisanja u bilo koji od *flash* čipova, potrebno je zadržati sustav na čipu u stanju resetiranja. Iskorišten je *flash\_csb\_ext* signal koji je aktivan u logičkoj nuli za vrijeme programiranja da istovremeno definira i *rstn* liniju kako bi se izbjeglo nepredviđeno ponašanje sustava na čipu.

## 3. Dizajn tiskane pločice

### 3.1. Pregled standardnih postupaka dizajniranja

Kako bi tiskana pločica minimalno zračila prostor i bila maksimalno otporna na smetnje, potrebno je pridržavati se standardnih postupaka dizajniranja [13], [16].

Tiskane pločice uvijek se dizajniraju s parnim brojem slojeva i jedan od slojeva služi za dovođenje napajanja, a nasuprotni sloj za masu. Ako tiskana pločica sadrži četiri sloja optimalno rješenje stavlja na gornji sloj napajanje, a na donji masu i slojeve između koristi za vođenje signala. Vanjske smetnje i zračenje pločice maksimalno su smanjene ovim pristupom. Zbog jednostavnosti i niže cijene, moguće je dizajnirati i pločicu s dva sloja, ali uz manju otpornost na smetnje i veće zračenje u prostor u kojem se nalazi.

Prilikom dizajniranja tiskane pločice važno je prepoznati koji tiskani vodovi provode najbrže signale i njih realizirati na najkraći mogući način bez ikakvih zavoja pod pravim kutem. Zavoje u tiskanom vodu predstavlja promjenu materijala koji vodi val i unosi refleksije koje smanjuju efikasnost prijenosa signala. Tipično najbrži signal svakog digitalnog sklopa je signal takta i standardni postupak je realizirati tiskani vod signala takta što bliže sklopu kojem je potreban.

Za tiskane vodove kojima putuje val visoke frekvencije (npr. više od 100 MHz) potrebno je obratiti posebnu pozornost na širine linija i karakterističnu impedanciju, te provjeriti integritet signala u nekom sklopovskom simulatoru npr. ADS.

Smetnje unutar pločice mogu se prenositi kapacitivnom ili induktivnom spregom. Tipično su analogni signali izloženiji smetnjama, a digitalni signali stvaraju smetnje. Potrebno je izbjegavati petlje s tiskanim vodovima, jer dovoljno dugačke linije proizvode induktivne smetnje. Tipično se odvajaju uzemljenja digitalnih i analognih signala, ako je potrebno realizirati sklopovlje iznimno velike preciznosti.

Svaki od integriranih sklopova na električnoj shemi imao je između napajanja i uzemljenja spojen jedan ili više kondenzatora za filtriranje napajanja. Kako bi kondenzatori imali maksimalan doprinos, iznimno je važno pozicionirati ih što je bliže moguće *pinovima* za napajanje.

## 3.2. Orijehtacija i podjela po slojevima

Tiskana pločica realizirana je u dva sloja. Standardan postupak dizajniranja tiskanih pločica u prethodnom poglavlju navodi kako se tipično izbjegavaju dvoslojne tiskane pločice, ali dvoslojne pločice imaju i neke prednosti:

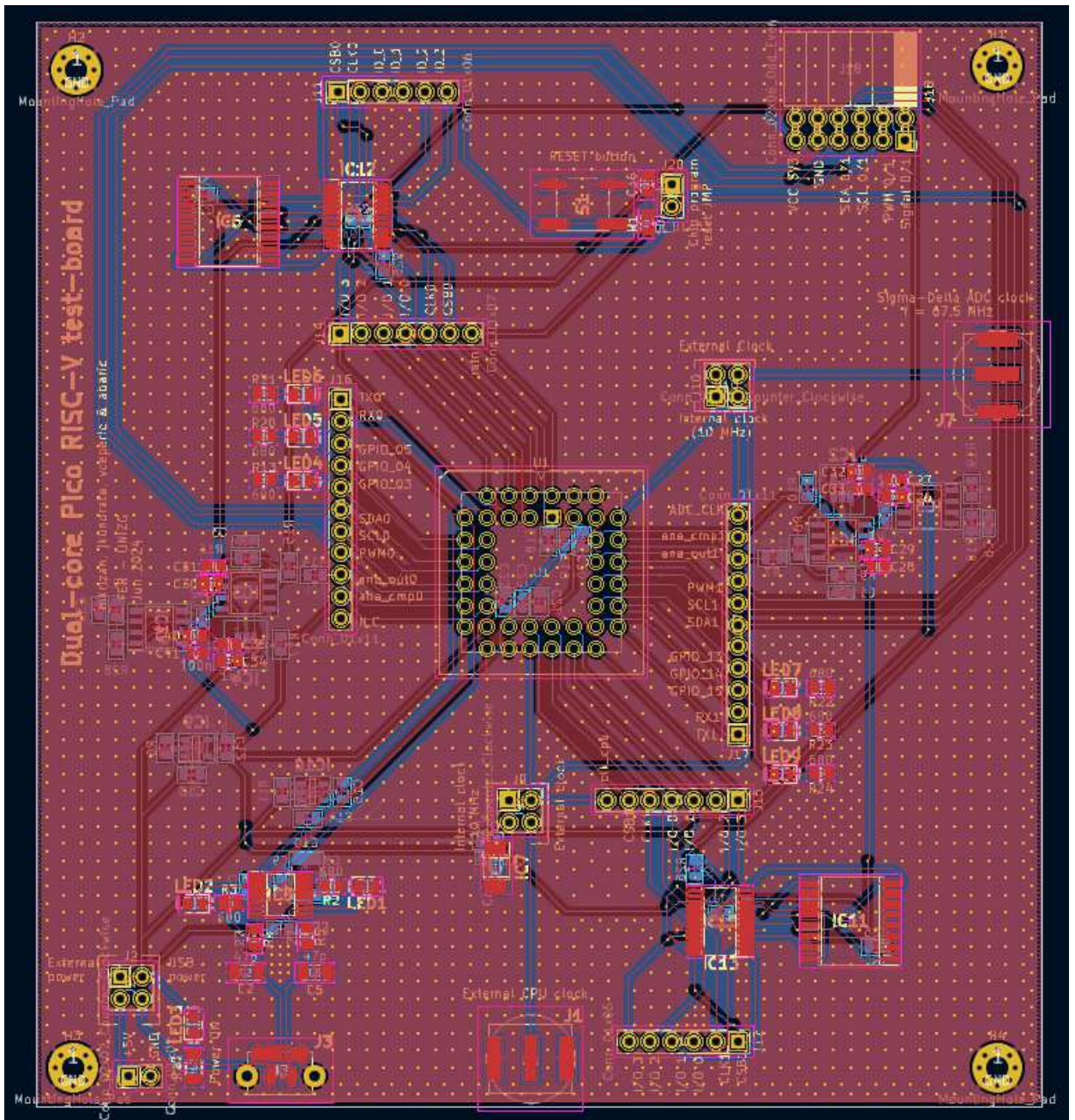
- Jednostavniji i pouzdaniji proizvodni proces
- Kraće čekanje proizvodnje
- Niža cijena

Prilikom izrade diplomskog rada brži proizvodni proces i niža cijena imaju veću važnost od elektromagnetske imunosti na smetnje s obzirom na to da većina sklopova na tiskanoj pločici koristi digitalne signale.

Slike 16 i 17 prikazuju gornji i donji sloj bakra tiskane pločice. Na slici 16 vidi se kako su na gornji sloj bakra smješteni svi konektori zbog lakšeg spajanja dodatnog sklopovlja, te UART-USB mosni spoj i *flash* čipovi. Na slici 17 vidi se kako je donji sloj bakra iskorišten za vođenje napona napajanja i pozicioniranje kondenzatora što bliže *pinovima* za napajanje. Donji sloj bakra služio je i za povlačenje vodova koji se moraju križati na gornjem sloju bakra.

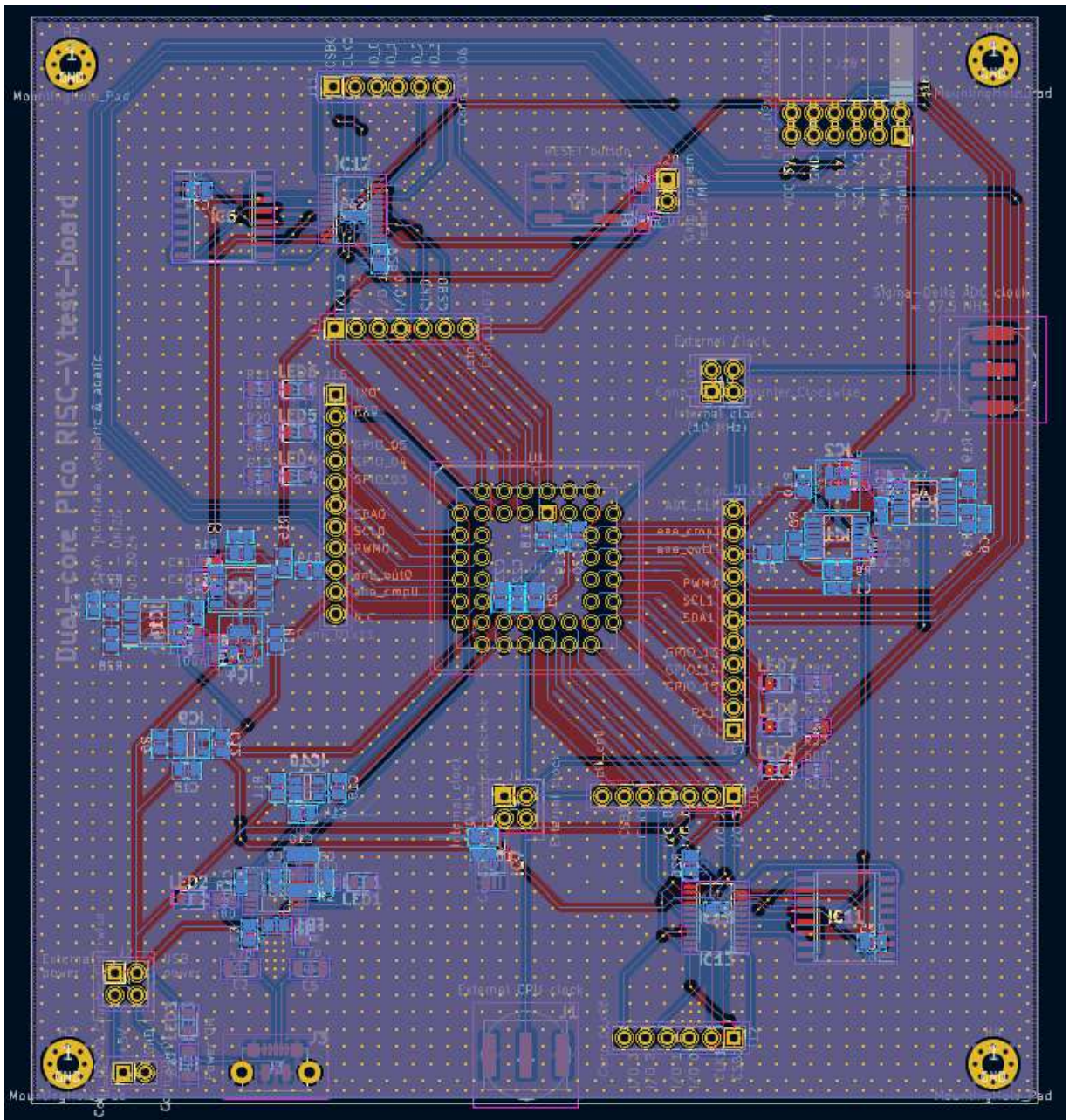
Orijentacija i pozicioniranje čipova i pasivnih komponenata napravljena je sukladno *pinovima* na testnom čipu. Iznimku predstavljaju *tx\_0* i *rx\_0* signali koji dolaze s donje lijeve strane tiskane pločice, a spajaju se na gornji lijevi kut testnog čipa. Radi se o kompromisu kako bi se lakše dovelo napajanje za cijelu tiskanu pločicu. Signali serijske komunikacije tipično nisu na visokim frekvencijama i neće predstavljati probleme u testnom okruženju. Najveći problem orijentacije i pozicioniranja predstavljao je PMOD konektor i multiplekseri spojeni na *flash* čipove.





Slika 16 Gornji sloj bakra cijele tiskane pločice.

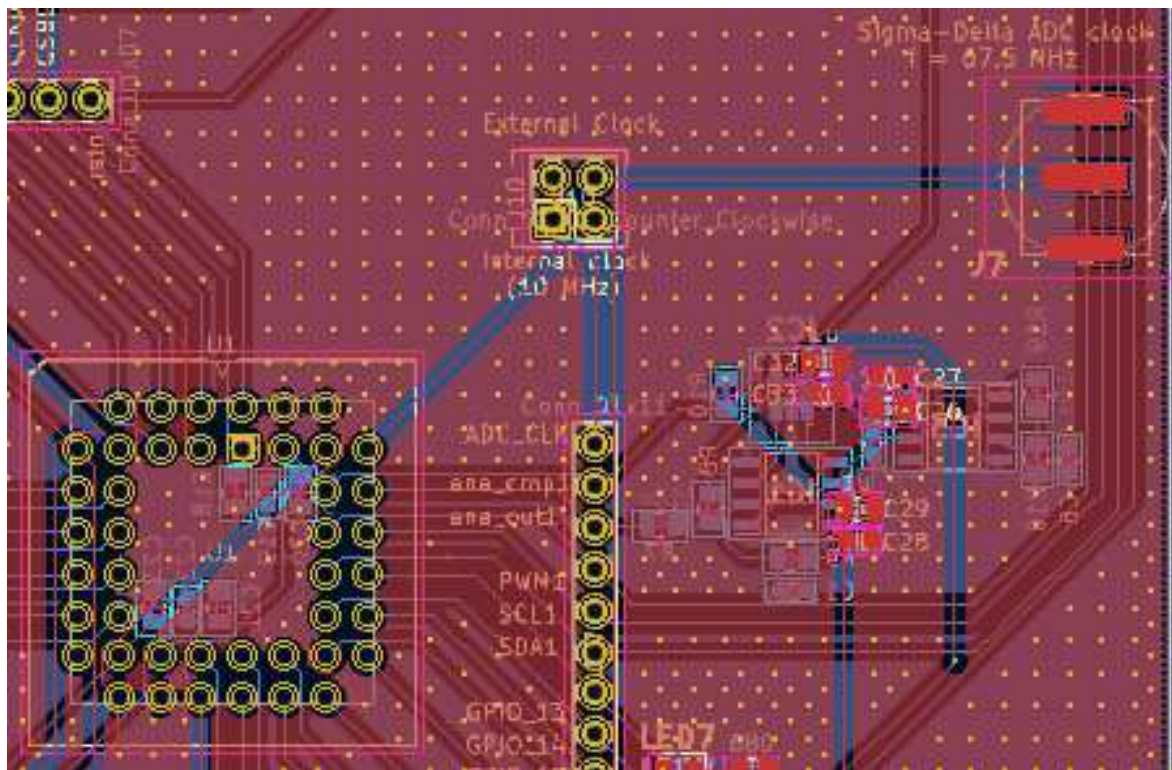




Slika 17 Donji sloj bakra cijele tiskane pločice.

### 3.3. Pregled završenog dizajna

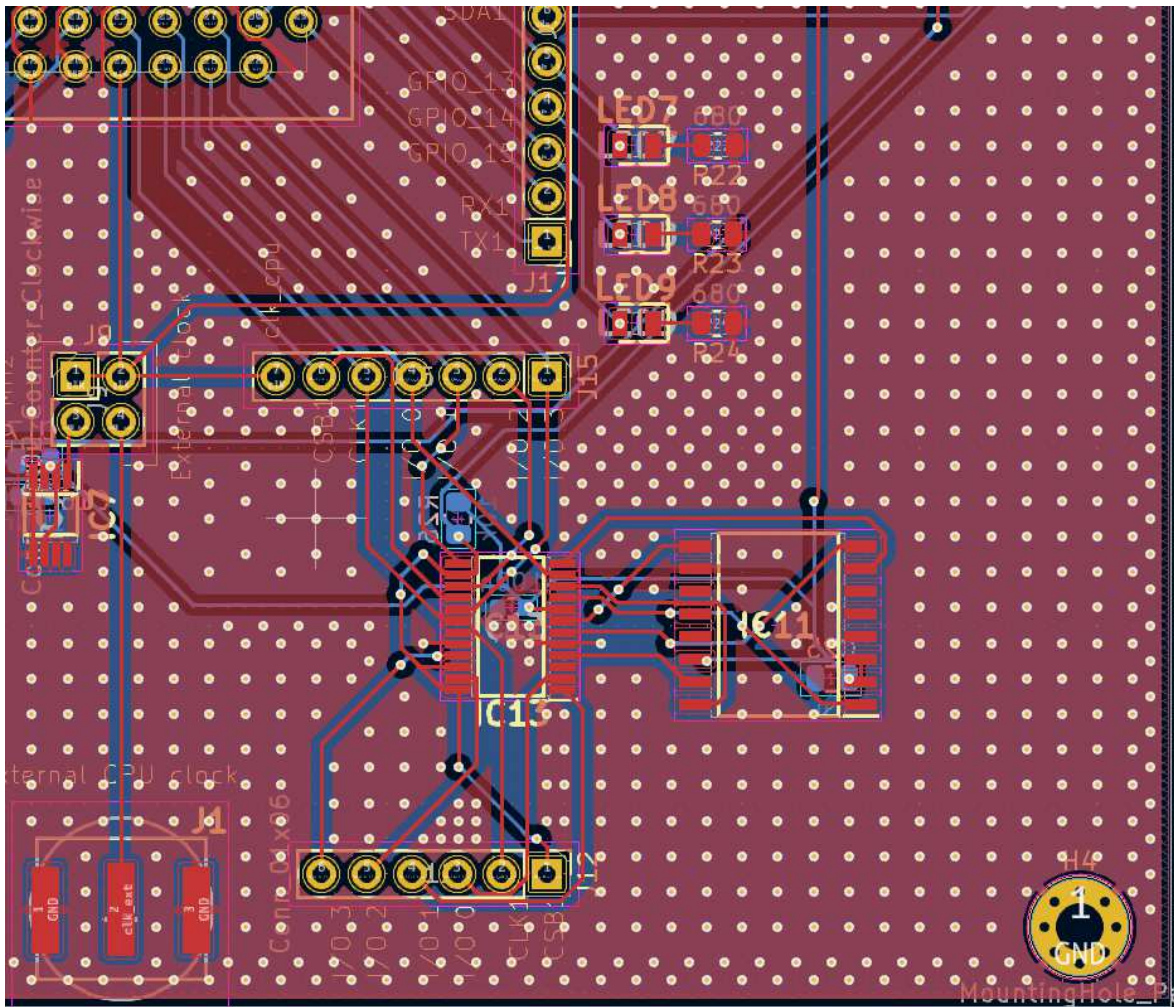
Najbrži signal na cijeloj tiskanoj pločici je *adc\_clk* koji predstavlja signal takta Sigma-Delta ADC-a na frekvenciji 62,5 MHz i SMA konektor koji dovodi taj signal je pozicioniran prvi na desnoj strani pločice najbliže moguće *adc\_clk pinu* na testnom čipu. Slika 18 pokazuje kako je proveden vod signala *adc\_clk* na tiskanoj pločici. Vidi se na slici 18 kako je tiskani vod minimalne duljine i izveden gotovo pravocrtno prema *pinskiom* zaglavlju i testnom čipu.



Slika 18 Tiskani vod za signal *adc\_clk*.



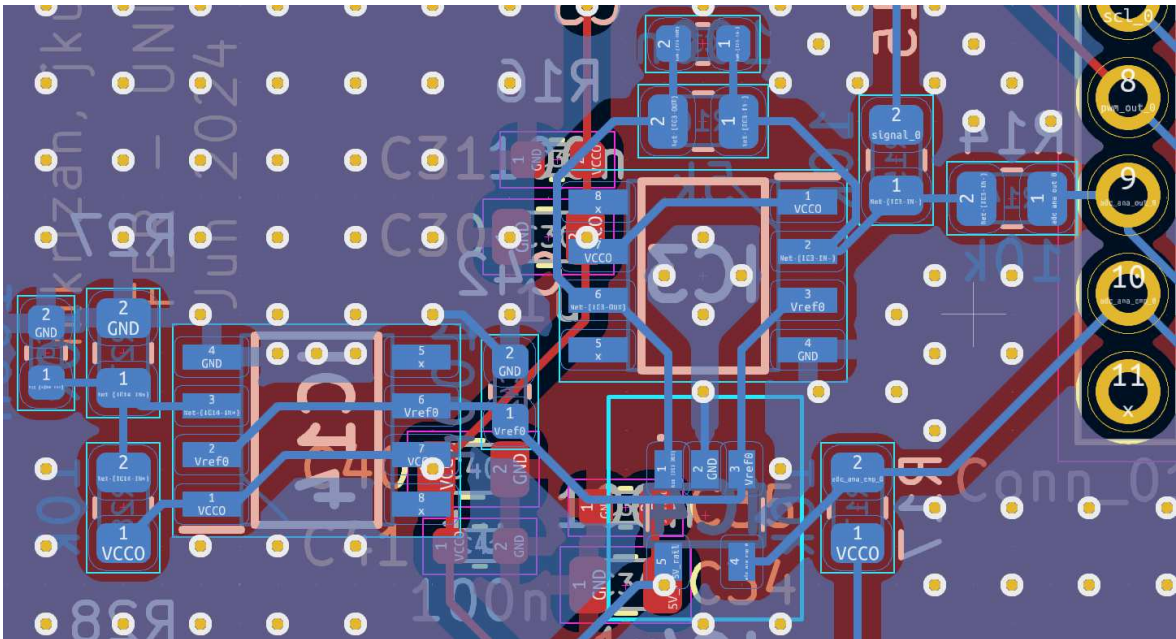
Nakon realizacije kritičnog voda za tiskanu pločicu, sljedeći najvažniji signal je *clk* jer testni čip najviše ovisi o preciznosti signala takta za ispravan rad. Na slici 19 nalazi se *layout* izvora signala takta kao i konektori za spajanje vanjskog izvora takta, te *flash* čip za procesor jedan i multiplexer. Vidi se na slici 19 kako je vod za *clk* signal, slično kao i za *adc\_clk* signal, napravljen što kraće i pravocrtno kako bi se izbjegle neželjene refleksije.



Slika 19 *Layout* izvora signala takta, *flash* čipa, multiplexera i konektora.

Multiplexer korišten na tiskanoj pločici ima vrlo nezahvalan raspored *pinova* koji je rezultirao s nekoliko neizbježnih križanja vodova. Najvažniji signali koji se moraju realizirati su *flash\_clk* i *flash\_io\_0* prilikom čitanja memorije iz *flash* čipa. Nakon što su realizirani kritični vodovi, preostali signali *flash\_io\_1,2,3* spojeni što kraće bez zavoja pod pravim kutem, ali bez simulacija nemoguće je procijeniti ispravan prolazak signala kroz te vodove.

Na slici 20 nalazi se *layout* Sigma-Delta ADC analognih sklopova.



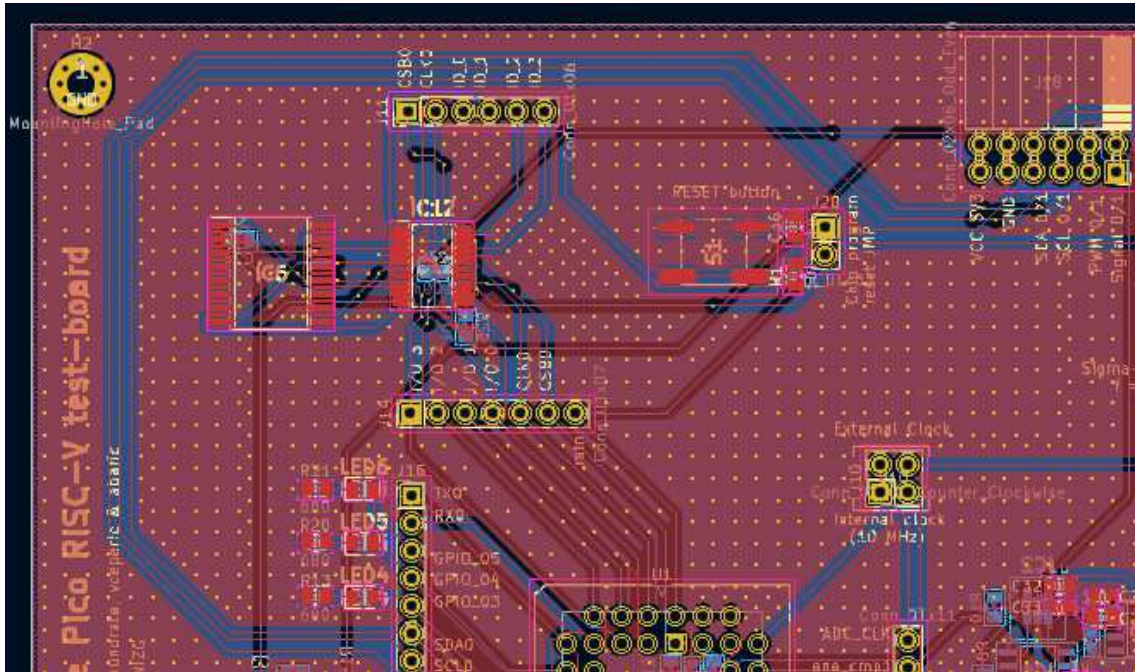
Slika 20 *Layout* Sigma-Delta integratora, referentnog potencijala i komparatora.

Svi sklopovi korišteni za analogni dio Sigma-Delta ADC-a imaju promjenu napona pomaka ovisno o temperaturi. Temperaturne kompenzacije tipično se rade povratnim vezama ili komponentama koje imaju negativni temperaturni koeficijent, ali *layout* je napravljen kompaktno kako bi temperaturna razlika između svih sklopova bila minimalna da bi pogreške bile konstantne. U prethodnim poglavljima već je spomenuto kako je u pogrešci ADC-a dominantna pogreška napona napajanja, koja iznosi nekoliko redova veličine, i nije garantirano da bi kompenzacija temperaturnog pomaka poboljšala preciznost Sigma-Delta ADC-a.

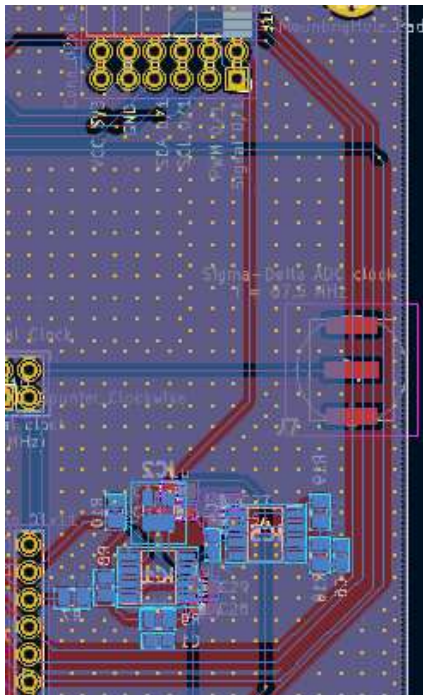
Najveći problem realizaciji tiskanih vodova predstavljao je put signala s lijeve i desne strane testnog čipa prema PMOD konektoru koji se nalazi u gornjem desnom kutu tiskane pločice. Na slici 21 i 22 može se vidjeti kako po četiri paralelna voda imaju približno četvrtinu cijele dužine pločice prema PMOD konektoru. Bolja izvedba tiskane pločice svakako bi imala jednostruke PMOD konektore na lijevoj i desnoj strani pločice, ali problem je otkriven relativno kasno u procesu dizajniranja testne pločice i moguće ga je ispraviti u sljedećoj iteraciji cijelog dizajna.



Signali koji putuju do PMOD konektora ograničene su frekvencije do 50 MHz, odnosno valne duljine 6 m, te tiskani vodovi neće predstavljati problem. Tipično se radi dodatna provjera za vodove koji su dulji od desetine valne duljine, a za pretpostavljenu maksimalnu frekvenciju iznosi 60 cm što je pet puta dulje od širine i dužine cijele tiskane pločice.



Slika 21 Vodovi PMOD signala procesora nula.



Slika 22 Vodovi PMOD signala procesora jedan.

## 4. Testiranje sustava na čipu

Testna pločica dizajnirana u sklopu diplomskog rada temelj je testnog okruženja sustava na čipu. Prije ispitivanja testnog čipa potrebno je utvrditi da je dizajnirana testna pločica ispravna. Ispitivanje testne pločice događa se u nekoliko faza:

- Ispitivanje na kratki spoj, odnosno ispitivanje kvalitete lema
- Ispitivanje točaka napajanja
- Spajanje FPGA prototipa na UART-USB sklop, testiranje serijske komunikacije s računalom
- Testiranje ispravnog upisivanja memorije u *flash* čip uz pomoć FPGA prototipa

Koraci ispitivanja testne pločice započinju osnovnim ispitivanjem lema na komponentama i dovođenja napajanja. Test se provodi multimetrom koji testira kratki spoj. Najčešće greške događaju jer neki od sklopova nema napajanje ili mu neki od *pinova* uopće nema kontakt s ostatkom električnog kruga. Testiranje UART-USB mosnog sklopa logičan je sljedeći korak jer postoji FPGA prototip koji neovisno o tiskanoj pločici radi ispravno, te u slučaju da serijska komunikacija ne radi s računalom može biti isključivo greška s testnom pločicom. Nakon što pouzdano radi serijska komunikacija, potrebno je jedan po jedan testirati *flash* čipove testne pločice i to uz pomoć serijske komunikacije koja predstavlja oblik povratne informacije. Nakon što je utvrđeno da je testna pločica ispravna, moguće je provesti standardna testiranja sustava na čipu.

Standardna testiranja oslanjaju se na serijsku komunikaciju za povratnu informaciju. Prvi test ispituje frekvencijski opseg na kojem sustav na čipu može ispravno primiti i slati poruke s računala. Jasno je kako takav test nije potpuno egzaktna, ali bez ugrađenog sučelja za otklanjanje pogrešaka (*debug interface*) nemoguće je potpuno se uvjeriti u rezultate testiranja. Drugi test ispituje točnost Sigma-Delta ADC-a koji je integriran na testni čip. Ispituje se određen broj točaka na cijelom naponskom i frekvencijskom opsegu ADC-a i uspoređuje s preciznijim uređajem, npr. osciloskopom.

## 4.1. Testno okruženje

[Slika testnog okruženja, frekvencijski test]

Na slici 23 vidljiv je testni postav koji sadrži tiskanu pločicu, testni čip, funkcijski generator koji je upravljivan računalom i kontrolira frekvenciju signala takta sustava na čipu. Cilj je testa provjeriti graničnu frekvenciju signala takta. Sustav na čipu komunicira s računalom preko UART-USB mosta, te poruku koju primi odašilje nepromijenjenu nazad računalu (*echo test*). U trenutku kada frekvencija signala takta postaje previsoka, odnosno kada sustav na čipu ima prevelika kašnjenja logičkih sklopova, očekivano je da dolazi do greške u poruci koja je poslana računalu.

[Slika testnog okruženja, ADC test]

Na slici 24 vidljiv je testni postav koji sadrži tiskanu pločicu, testni čip, funkcijski generator i osciloskop. Test uključuje raspon frekvencije ulaznog signala od DC do 3,8 kHz, koji je širi od frekvencijskog raspona signala koji su ispitani u tehničkoj dokumentaciji dizajna ADC-a, te amplitudu napona od 0 V do 3,3 V. Mjerenje DC napona radi se u koracima od 0,33 V.

## 4.2. Pregled rezultata testiranja

Slika 25 i 26 prikazuju prozor sa serijskom komunikacijom za frekvenciju ispod i iznad kritične frekvencije signala takta. Testiran je raspon frekvencija signala takta od 10 MHz do X MHz u koraku od 250 kHz. Kritična frekvencija iznosi X MHz s pogreškom od  $\pm 250$  kHz.

[Slika 25, putty prozor s ispravnim slanjem poruke]

[Slika 26, putty prozor s greškom u poruci]

Tablica 2 prikazuje rezultate mjerenja DC signala uz pomoć drugog testnog postava.

Napon izvora [V]	Mjerenja Sigma-Delta ADC-a [V]	Mjerenja osciloscopa [V]	Mjerna pogreška [%]
0			

0,33			
0,66			
0,99			
1,32			
1,65			
1,98			
2,31			
2,64			
2,97			
3,3			

Tablica 2 Mjerenja DC signala Sigma-Delta ADC-om.

[Komentar tablice 2]

Tablica 3 prikazuje rezultate mjerenja sinusnih signala različite frekvencije i amplitude 3,3 V. Tehnička dokumentacija Sigma-Delta ADC-a sadrži podatke za signale frekvencije 50 Hz, 1000 Hz i 3800 Hz, te je logično ispitati te frekvencije i u ovom testiranju.

Frekvencija [Hz]	Mjerenja Sigma-Delta ADC-a	Mjerenja osciloskopa	Pogreška [%]
50			
1000			
3800			

Tablica 3 Mjerenja sinusnih signala Sigma-Delta ADC-om.

[Komentar tablice 3]

Slike 27 i 28 pokazuju integralnu, odnosno diferencijalnu nelinearnost Sigma-Delta ADC-a. [Komentar slika]

## Zaključak

Tema diplomskog rada dizajniranje je tiskane pločice, te uspostavljanje mjernog okruženja i metodologije za ispitivanje sustava na čipu baziranog na RISC-V procesorskim jezgrama. U poglavlju 1 (*Arhitektura sustava na čipu*) prikazana je arhitektura sustava na čipu i posebno je istaknut Sigma-Delta ADC. U poglavlju 2 (*Električna shema tiskane pločice*) dokumentiran je pristup u dizajniranju električne sheme, te uloga svakog od sklopova u cijelom sustavu. U poglavlju 3 (*Dizajn tiskane pločice*) istaknuti su ključni dijelovi tiskanih veza testne pločice te su razmotreni standardni postupci projektiranja tiskanih pločica. Poglavlje 4 (*Testiranje sustava na čipu*) opisuje korake u verifikaciji ispravnosti tiskane pločice, opisuje testno okruženje i metodologiju, te predstavlja rezultate testiranja sustava na čipu.

[Kratki opis rezultata testiranja i zaključak, prijedlog unapređenja tiskane pločice i/ili sustava na čipu]

## Literatura

[1] Claire Xenia Wolf, *PicoRV32 - A Size-Optimized RISC-V CPU*, GitHub (2019, ožujak).  
Poveznica: <https://github.com/YosysHQ/picorv32>; pristupljeno 20. lipnja 2024.

[2] Lattice semiconductor, *Simple Sigma-Delta ADC | Lattice Reference Design*,  
Latticesemi.

Poveznica:

<https://www.latticesemi.com/products/designsoftwareandip/intellectualproperty/referencedesigns/referencedesign03/simplesigmadeltaadc>; pristupljeno 20. lipnja 2024.

[3] Analog devices, *DS1088 Datasheet and Product Info*, DS1088.

Poveznica: <https://www.analog.com/en/products/ds1088.html>; pristupljeno 20. lipnja 2024.

[4] Digilent, *Pmod™ - Digilent Reference*, Pmod™ (2020, listopad). Poveznica:

<https://digilent.com/reference/pmod/start>; pristupljeno 20. lipnja 2024.

[5] Kingbright, *KP-2012LSGC Datasheet*, Farnell. Poveznica:

<https://uk.farnell.com/kingbright/kp-2012lsgc/led-green-0-8mcd-568nm-smd/dp/2463991>;

pristupljeno 20. lipnja 2024.

[6] Monolithic power systems, *MP8802 Datasheet*, MPS. Poveznica:

<https://www.monolithicpower.com/en/mp8802.html>; pristupljeno 20. lipnja 2024.

[7] Texas instruments, *TPS7A20 Datasheet*, TI. Poveznica: chrome-

extension://efaidnbmnnnibpcajpcgclcfndmkaj/https://www.ti.com/lit/ds/symlink/tps7a20.pdf; pristupljeno 20. lipnja 2024.

[8] Infineon Cypress, *S25fl128s Datasheet*, Mouser Electronics. Poveznica: chrome-

extension://efaidnbmnnnibpcajpcgclcfndmkaj/https://www.mouser.com/datasheet/2/100/CYPR\_S\_A0011122469\_1-2541373.pdf; pristupljeno 20. lipnja 2024.

[9] FTDI, *Future Technology Devices International FT230X*, FTDI (2021, listopad).

Poveznica: chrome-

extension://efaidnbmnnnibpcajpcgclcfndmkaj/https://ftdichip.com/wp-content/uploads/2021/10/DS\_FT230X.pdf; pristupljeno 20. lipnja 2024.



- [10] Onsemi, *Single, Dual, Quad General Purpose, Low Voltage Comparators*, Onsemi. Poveznica: <https://www.onsemi.com/products/signal-conditioning-control/amplifiers-comparators/comparators/LMV331>; pristupljeno 20. lipnja 2024.
- [11] Analog devices, *Ultra-Low Offset/Drift, Low-Noise, Precision SOT23 Amplifiers*, Analog devices. Poveznica: chrome-extension://efaidnbmnnnibpcajpcgclefindmkaj/https://www.analog.com/media/cn/technical-documentation/data-sheets/3407.pdf; pristupljeno 20. lipnja 2024.
- [12] Vishay, *High Power Thin Film Chip Resistors*, Vishay. Poveznica: <https://www.vishay.com/en/product/28916/>; pristupljeno 20. lipnja 2024.
- [13] David Knight, *Practical PCB Layout Tips Every Designer Needs to Know*, All about circuits (2015, studeni). Poveznica: <https://www.allaboutcircuits.com/technical-articles/practical-pcb-layout-tips/>; pristupljeno 20. lipnja 2024.
- [14] Joseph Wu, *Delta-sigma ADC basics: Understanding the delta-sigma modulator*, Texas instruments (2015, siječanj). Poveznica: [https://e2e.ti.com/blogs\\_/archives/b/precisionhub/posts/delta-sigma-adc-basics-understanding-the-delta-sigma-modulator](https://e2e.ti.com/blogs_/archives/b/precisionhub/posts/delta-sigma-adc-basics-understanding-the-delta-sigma-modulator); pristupljeno 20. lipnja 2024.
- [15] Texas instruments, *TS3A27518E 6-Channel (qSPI), 1:2 Multiplexer and Demultiplexer with Integrated IEC L-4 ESD and 1.8-V Logic Compatible Control Inputs*, Texas instruments. Poveznica: chrome-extension://efaidnbmnnnibpcajpcgclefindmkaj/https://www.ti.com/lit/ds/symlink/ts3a27518e.pdf; pristupljeno 20. lipnja 2024.
- [16] Sushmitha V., *7 Tips and PCB Design Guidelines for EMI and EMC*, Sierra circuits (2022, prosinac). Poveznica: <https://www.protoexpress.com/blog/7-pcb-design-tips-solve-emi-emc-issues/>; pristupljeno 20. lipnja 2024.
- [17] Jaroslaw Bielski, *SPI flash programmer*, GitHub (2023). Poveznica: <https://github.com/bielskij/spi-flash-programmer/tree/main>; pristupljeno 20. lipnja 2024.

## **Sažetak**

Razvoj ispitnog okruženja za validaciju sustava-na-čipu temeljenog na RISC-V jezgri.

Diplomski rad na temu razvoja ispitnog okruženja za RISC-V sustav na čipu. Napravljen je pregled ključnih komponenata sustava, dokumentirani su svi ključni koraci razvoja tiskane pločice, opisan je mjerni sustav i prikazani su rezultati testiranja.

Ključne riječi: Pico RISC-V, Sigma-Delta ADC, sustav-na-čipu, tiskana pločica

# Summary

Development of a test PCB for RISC-V SoC validation.

A master thesis on the topic of RISC-V SoC validation via custom PCB. The work outlines key system components and documents key steps for designing a custom PCB for the purpose of testing this specific SoC. The testing setup and testing results are shown.

Key words: Pico RISC-V, Sigma-Delta ADC, SoC, custom PCB

## Skraćenice

ADC	<i>analog to digital converter</i>	analogno-digitalna pretvorba signala
PCB	<i>printed circuit board</i>	tiskana pločice
SoC	<i>system on chip</i>	sustav-na-čipu
LED	<i>light emitting diode</i>	diode koja proizvodi vidljivu svjetlost
UART	<i>universal asynchronous receiver / transmitter</i>	sklop za univerzalnu nesinkroniziranu serijsku komunikaciju
USB	<i>universal serial bus</i>	univerzalna serijska sabirnica
RISC	<i>reduced instruction set computer</i>	računalo s reduciranim instrukcijama

# Privitak

U svrhu lakšeg rekreiranja cijelog testnog postava u preostalim poglavljima nalaze se:

- Popis materijala
- Potrebni podaci za naručivanje testne pločice
- Upute za korištenje makete
- Upute za programiranje *flash* memorije
- Izvorni C-kod korišten prilikom provođenja testova

## Popis materijala

Popis materijala nalazi se u datoteci „*diplomski\_rad.zip*“ pod nazivom „*BillOfMaterials.xlsx*“. Za svrhe diplomskog rada napravljena je trostruko veća narudžba komponenata od one koja je potrebna za sastavljanje jedne testne pločice. S popisa materijala izostavljeno je zaglavlje za spajanje testnog čipa (*PLCC-44\_THT-socket*) jer postoji prijašnji višak.

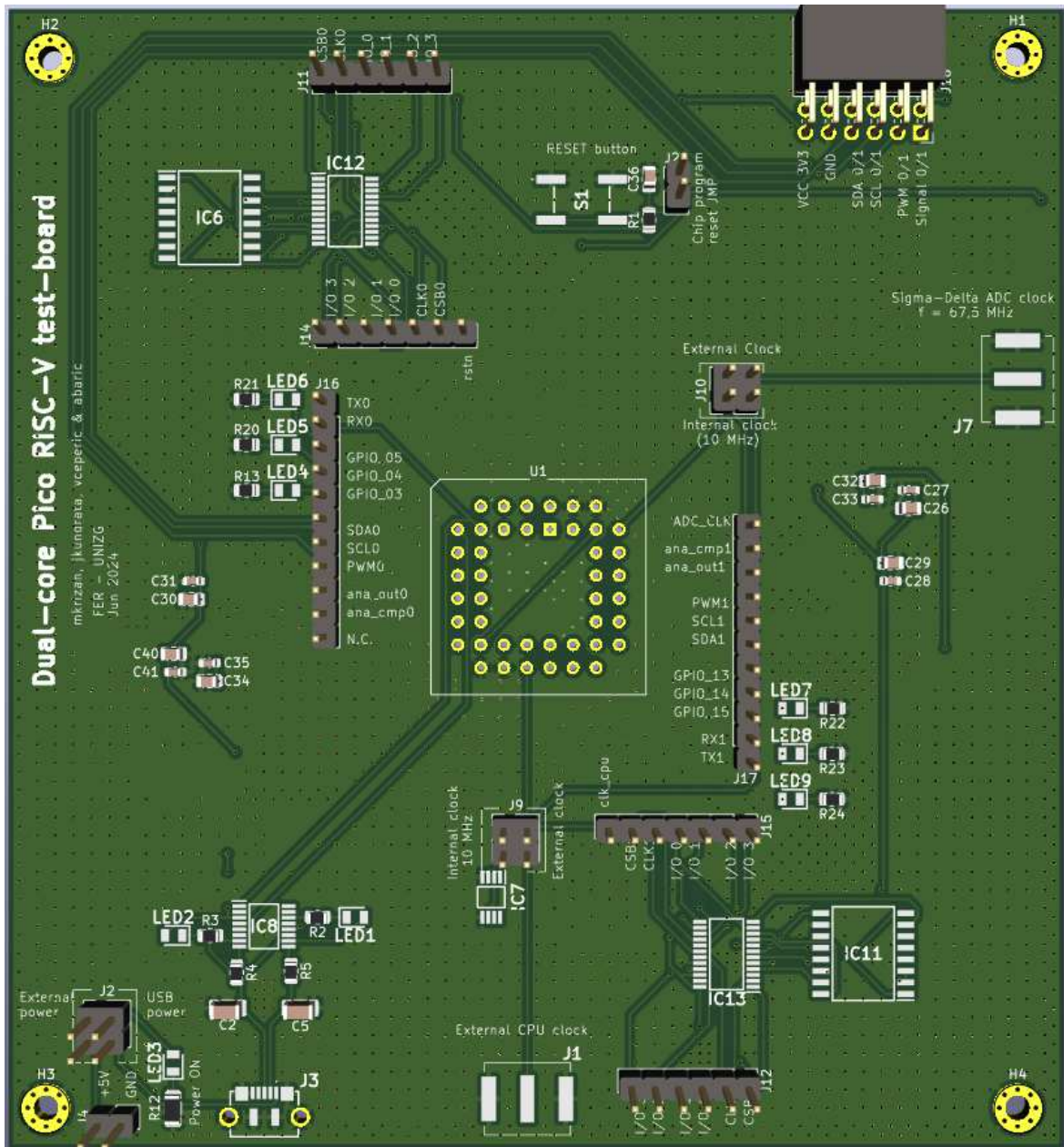
Moguća modifikacija testne pločice uključuje izostavljanje nekih od zaglavlja, poput FPGA konektora ili konektora za odabir napajanja i signala takta, jer im je uloga testiranje testnog čipa, te nisu neophodni za ispravan rad sustava na čipu.

## Potrebni podaci za naručivanje testne pločice

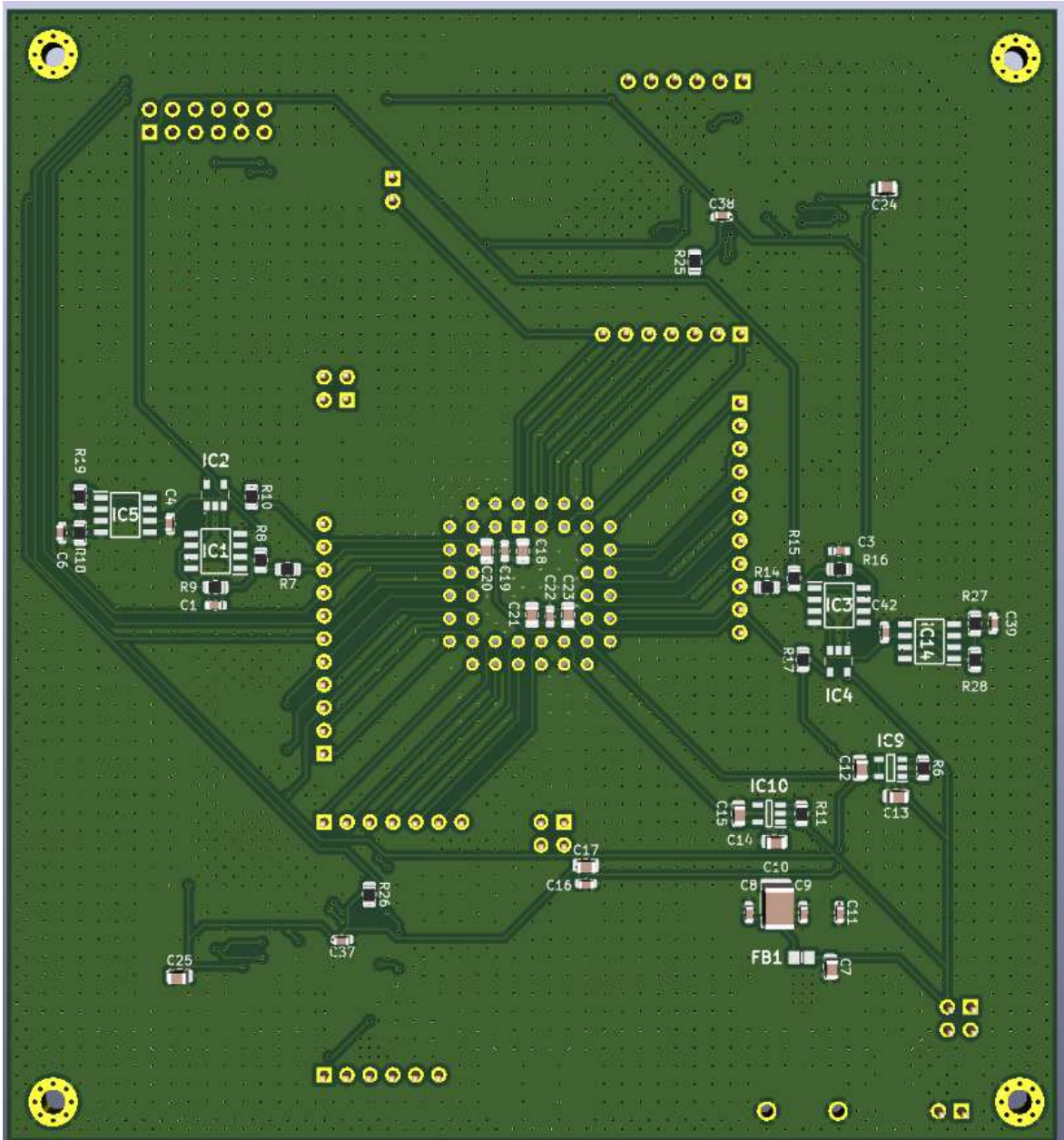
Moguće je pratiti korake dizajniranja diplomskog rada i neovisno razviti novu tiskanu pločicu za sustav na čipu, ali u svrhu rekreiranja diplomskog rada u datoteci „*diplomski\_rad.zip*“ nalaze se potrebne datoteke u podmapi „*gerber\_drill*“ koje se šalju proizvođaču tiskanih pločica. *Gerber* datoteke (*.gbr*) imaju zapis geometrijskih veličina za tiskane vodove i *layout*, a datoteke bušotina (*drill*) imaju raspored točaka gdje je potrebno bušiti tiskanu pločicu. Unutar datoteke „*diplomski.zip*“ nalazi se i čitav KiCad projekt koji uključuje električnu shemu, potrebne biblioteke i dizajn tiskane pločice.

# Upute za korištenje makete

Na slikama 29 i 30 nalazi se predviđeni izgled makete s gornje i donje strane.



Slika 23 Gornja strana makete.



Slika 24 Donja strana makete.

Slike 29 i 30 mogu se iskoristiti kao pomoć prilikom montaže tiskane pločice. Oznaka S1 je dugme za resetiranje sustava na čipu i kratkospojnik J20 treba biti uključen prilikom programiranja *flash* memorije. Konektori J11 i J12 služe za spajanje na *flash* čipove. PMOD konektor s gornje strane (dalje od tiskane pločice) sadrži signale spojene na procesor nula, a donja strana (bliže tiskanoj pločici) sadrži signale spojene na procesor jedan. Obavezno je kratkospojnicima odabrati izvor signala takta za Sigma-Delta ADC i testni čip na konektorima J9 i J10, te odabrati izvor napajanja na konektoru J2.

Montažne rupe H1,2,3,4 potrebno je spojiti na uzemljenje ili u njih montirati nožice za tiskanu pločicu.



PMOD konektor napravljen je za standard napona napajanja 3,3 V bez ograničenja na snagu. U slučaju da se koristi potpuno jednaka testna pločica kao u ovom diplomskom radu potrebno je obratiti posebnu pozornost na poglavlje 2.2 i na tehničku dokumentaciju linearnog regulatora [6] kako se ne bi preopteretio izvor napajanja.

## Upute za programiranje *flash* memorije

Programiranje *flash* memorije mikrokontrolera tipično se odvijalo preko zasebnog programatora kompanije koja je proizvela i mikrokontroler ili preko JTAG sučelja putem USB-a. S obzirom na to da je sustav na čipu razvijen na fakultetu i nema opciju JTAG programiranja, potrebno je koristiti neko razvojno okruženje, npr. Arduino ili FPGA ili raspberry pi, kako bi se softverski emulirao hardverski programator.

Na popisu literature [17] nalazi se poveznica za jedan takav projekt koji koristi Arduino uno za emuliranje SPI *flash* programatora.

[Detaljnije upute kada bude završen proces programiranja]

## Izvorni C-kod

[C-kod za testiranje]